

09/889/55  
Translation

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

37

Applicant's or agent's file reference 999473	<b>FOR FURTHER ACTION</b> See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP00/00167	International filing date (day/month/year) 17 January 2000 (17.01.00)	Priority date (day/month/year) 19 January 1999 (19.01.99)
International Patent Classification (IPC) or national classification and IPC H04L 7/04		
Applicant SHARP KABUSHIKI KAISHA		

RECEIVED  
SEP 27 2001  
Technology Center 2800

- This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.
- This REPORT consists of a total of 3 sheets, including this cover sheet.  
  
☐ This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).  
  
These annexes consist of a total of \_\_\_\_\_ sheets.

- This report contains indications relating to the following items:

- I ☒ Basis of the report
- II ☐ Priority
- III ☐ Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- IV ☐ Lack of unity of invention
- V ☒ Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- VI ☐ Certain documents cited
- VII ☐ Certain defects in the international application
- VIII ☐ Certain observations on the international application

Date of submission of the demand 24 April 2000 (24.04.00)	Date of completion of this report 16 January 2001 (16.01.2001)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

**THIS PAGE BLANK (USPTO)**

## INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP00/00167

## I. Basis of the report

1. With regard to the **elements** of the international application:\*

- ☒ the international application as originally filed
- ☐ the description:  
pages \_\_\_\_\_, as originally filed  
pages \_\_\_\_\_, filed with the demand  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the claims:  
pages \_\_\_\_\_, as originally filed  
pages \_\_\_\_\_, as amended (together with any statement under Article 19  
pages \_\_\_\_\_, filed with the demand  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the drawings:  
pages \_\_\_\_\_, as originally filed  
pages \_\_\_\_\_, filed with the demand  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the sequence listing part of the description:  
pages \_\_\_\_\_, as originally filed  
pages \_\_\_\_\_, filed with the demand  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_

2. With regard to the **language**, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language \_\_\_\_\_ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any **nucleotide and/or amino acid sequence** disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages \_\_\_\_\_
- ☐ the claims, Nos. \_\_\_\_\_
- ☐ the drawings, sheets/fig \_\_\_\_\_

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).\*\*

\* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

\*\* Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

**THIS PAGE BLANK (USPTO)**

# INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP00/00167

## V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

### 1. Statement

Novelty (N)	Claims	1-17	YES
	Claims		NO
Inventive step (IS)	Claims	1-17	YES
	Claims		NO
Industrial applicability (IA)	Claims	1-17	YES
	Claims		NO

### 2. Citations and explanations

The subject matter of claims 1 through 7 is not disclosed in any of the documents cited in the ISR, and appears to be novel and involve an inventive step. In particular, the point about making all control codes a number of bits which is smaller than a fixed length number of bits used in data codes, and when a signal is received, checking the received serial signal bit stream for each short number of bits to identify control codes, and in response to detection of a control code that indicates start of data transmission, checking the bit stream for each fixed length number of bits, and receiving a data code is not described in any of the documents cited in the ISR and does not appear to be easy to conceive based on any of the documents.

**THIS PAGE BLANK (USPTO)**

E P



P C T

## 国際調査報告

(法 8 条、法施行規則第 40、41 条)  
〔PCT 18 条、PCT 規則 43、44〕

出願人又は代理人 の書類記号 999473	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220) 及び下記 5 を参照すること。	
国際出願番号 PCT/JP00/00167	国際出願日 (日.月.年) 17.01.00	優先日 (日.月.年) 19.01.99
出願人 (氏名又は名称) シャープ株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第 41 条 (PCT 18 条) の規定に従い出願人に送付する。  
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

## 1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない (第 I 欄参照)。

3. ☐ 発明の単一性が欠如している (第 II 欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第 III 欄に示されているように、法施行規則第 47 条 (PCT 規則 38.2(b)) の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から 1 カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 7 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

**THIS PAGE BLANK (USPTO)**



## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H04L7/04

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H04L7/00-7/10 H04J3/00-3/26 H04L5/00-5/26

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1956-1999年

日本国公開実用新案公報 1971-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P A	EP, 923035, A2 (NEC CORPORATION), 16. 6月. 1999 (16. 06. 99), 第2頁第41行-第 57行, 第3頁第23行-第36行, 第5頁第38行-第6頁第1 9行, 第7頁第10行-第42行, 第1図, 第5図, 第7図, 第9 図& JP, 11-177439, A	1-17
A	EP, 206409, A1 (N. V. Philips' Gloei lampenfabriken) 30. 12月. 1986 (30. 12. 86), 第4頁第29行-第5頁第29行, 第1図& JP, 61-290829, A	1-17

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

13. 03. 00

国際調査報告の発送日

28.03.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

河 口 雅 英



5 K

8 4 2 1

電話番号 03-3581-1101 内線 3554

**THIS PAGE BLANK (USPTO)**

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 9-36823, A (日本電気株式会社) 7. 2月. 1997 (07. 02. 97), 第2頁右欄第1行-第36行, 第3頁左欄第5行-第34行, 第4頁左欄第1行-右欄第24行, 第5頁左欄第34行-右欄第1行, 第1図, 第3図 (ファミリーなし)	1-17
A	J P, 5-56024, A (日本電気エンジニアリング株式会社) 5. 3月. 1993 (05. 03. 93), 第2頁右欄第20行-第3頁右欄第15行, 第1図 (ファミリーなし)	1-17
A	J P, 4-2234, A (富士通株式会社) 7. 1月. 1992 (07. 01. 92), 第2頁左下欄第6行-第3頁右下欄第2行, 第5-7図 (ファミリーなし)	1-17
A	J P, 4-826, A (日立電線株式会社) 6. 1月. 1992 (06. 01. 92), 第2頁右上欄第6行-第3頁左上欄第4行, 第2-4図 (ファミリーなし)	1-17
A	J P, 1-218247, A (日本電気株式会社) 31. 8月. 1989 (31. 08. 89), 第1頁右下欄第18行-第2頁右上欄第5行, 第2図 (ファミリーなし)	1-17
A	J P, 63-109612, A (住友電気工業株式会社) 14. 5月. 1988 (14. 05. 88), 第1頁右下欄第11行-第2頁右下欄第3行, 第2図 (ファミリーなし)	1-17

**THIS PAGE BLANK (USPTO)**

PATENT COOPERATION TREATY

PCT

NOTIFICATION OF ELECTION

(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

Assistant Commissioner for Patents  
United States Patent and Trademark  
Office  
Box PCT  
Washington, D.C.20231  
ETATS-UNIS D'AMERIQUE

in its capacity as elected Office

Date of mailing: 27 July 2000 (27.07.00)	
International application No.: PCT/JP00/00167	Applicant's or agent's file reference: 999473
International filing date: 17 January 2000 (17.01.00)	Priority date: 19 January 1999 (19.01.99)
Applicant: NAKANO, Daisuke et al	

1. The designated Office is hereby notified of its election made:

☒ in the demand filed with the International preliminary Examining Authority on:  
24 April 2000 (24.04.00)

☐ in a notice effecting later election filed with the International Bureau on:

2. The election ☒ was  
☐ was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No.: (41-22) 740.14.35	Authorized officer:  J. Zahra Telephone No.: (41-22) 338.83.38
---	---

**THIS PAGE BLANK (USPTO)**

<b>(51) 国際特許分類7</b> <b>H04L 7/04</b>	<b>A1</b>	<b>(11) 国際公開番号</b> <b>WO00/44126</b>  <b>(43) 国際公開日</b> 2000年7月27日 (27.07.00)		
<table border="0"><tr><td data-bbox="99 394 803 1094"><b>(21) 国際出願番号</b> PCT/JP00/00167  <b>(22) 国際出願日</b> 2000年1月17日 (17.01.00)  <b>(30) 優先権データ</b> 特願平11/10038                      1999年1月19日 (19.01.99)      JP 特願平11/329183                    1999年11月19日 (19.11.99)      JP  <b>(71) 出願人 (米国を除くすべての指定国について)</b> シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP] 〒545-8522 大阪府大阪市阿倍野区長池町22番22号 Osaka, (JP) <b>(72) 発明者; および</b> <b>(75) 発明者/出願人 (米国についてののみ)</b> 中野大介 (NAKANO, Daisuke) [JP/JP] 〒632-0004 奈良県天理市樺本町2613-1 ラポール天理406号室 Nara, (JP) 西村 崇 (NISHIMURA, Takashi) [JP/JP] 〒632-0013 奈良県天理市豊井町268 プラスパー豊井101 Nara, (JP) 市川雄二 (ICHIKAWA, Yuji) [JP/JP] 〒632-0004 奈良県天理市樺本町2613-1 ラポール天理803号室 Nara, (JP)</td><td data-bbox="803 394 1528 1094"><b>(74) 代理人</b> 深見久郎, 外 (FUKAMI, Hisao et al.) 〒530-0054 大阪府大阪市北区南森町2丁目1番29号 住友銀行南森町ビル Osaka, (JP)  <b>(81) 指定国</b>      JP, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)  添付公開書類 国際調査報告書</td></tr></table>			<b>(21) 国際出願番号</b> PCT/JP00/00167  <b>(22) 国際出願日</b> 2000年1月17日 (17.01.00)  <b>(30) 優先権データ</b> 特願平11/10038                      1999年1月19日 (19.01.99)      JP 特願平11/329183                    1999年11月19日 (19.11.99)      JP  <b>(71) 出願人 (米国を除くすべての指定国について)</b> シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP] 〒545-8522 大阪府大阪市阿倍野区長池町22番22号 Osaka, (JP) <b>(72) 発明者; および</b> <b>(75) 発明者/出願人 (米国についてののみ)</b> 中野大介 (NAKANO, Daisuke) [JP/JP] 〒632-0004 奈良県天理市樺本町2613-1 ラポール天理406号室 Nara, (JP) 西村 崇 (NISHIMURA, Takashi) [JP/JP] 〒632-0013 奈良県天理市豊井町268 プラスパー豊井101 Nara, (JP) 市川雄二 (ICHIKAWA, Yuji) [JP/JP] 〒632-0004 奈良県天理市樺本町2613-1 ラポール天理803号室 Nara, (JP)	<b>(74) 代理人</b> 深見久郎, 外 (FUKAMI, Hisao et al.) 〒530-0054 大阪府大阪市北区南森町2丁目1番29号 住友銀行南森町ビル Osaka, (JP)  <b>(81) 指定国</b> JP, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)  添付公開書類 国際調査報告書
<b>(21) 国際出願番号</b> PCT/JP00/00167  <b>(22) 国際出願日</b> 2000年1月17日 (17.01.00)  <b>(30) 優先権データ</b> 特願平11/10038                      1999年1月19日 (19.01.99)      JP 特願平11/329183                    1999年11月19日 (19.11.99)      JP  <b>(71) 出願人 (米国を除くすべての指定国について)</b> シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP] 〒545-8522 大阪府大阪市阿倍野区長池町22番22号 Osaka, (JP) <b>(72) 発明者; および</b> <b>(75) 発明者/出願人 (米国についてののみ)</b> 中野大介 (NAKANO, Daisuke) [JP/JP] 〒632-0004 奈良県天理市樺本町2613-1 ラポール天理406号室 Nara, (JP) 西村 崇 (NISHIMURA, Takashi) [JP/JP] 〒632-0013 奈良県天理市豊井町268 プラスパー豊井101 Nara, (JP) 市川雄二 (ICHIKAWA, Yuji) [JP/JP] 〒632-0004 奈良県天理市樺本町2613-1 ラポール天理803号室 Nara, (JP)	<b>(74) 代理人</b> 深見久郎, 外 (FUKAMI, Hisao et al.) 〒530-0054 大阪府大阪市北区南森町2丁目1番29号 住友銀行南森町ビル Osaka, (JP)  <b>(81) 指定国</b> JP, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)  添付公開書類 国際調査報告書			
<b>(54) Title: TRANSMISSION METHOD AND DEVICE</b>  <b>(54) 発明の名称</b> 伝送方法および装置  <b>(57) Abstract</b> A transmission method using multiple kinds of control codes exchanged between the transmission side and the receiving side through a serial transmission line and each having bits the number of which is smaller than a predetermined fixed length. The method comprising judging whether or not any one of the kinds of control codes is present in a serial signal received through a serial transmission line by checking the received bit stream for every number of bits of the control code, determining the control codes to be transmitted according to the result of the judgment, transmitting a bit stream including the control codes to be transmitted through the serial transmission line according to the result of the judgment, and checking the received bit stream for every fixed length of bits in response to the detection of a control code representing the start of transmission of data from the transmission side so as to receive data codes. <div data-bbox="792 1239 1485 1606"></div>				

113 ... INTERFACE WITH INTERNAL CIRCUIT OF DEVICE  
110 ... 8B10B ENCODER  
111 ... 10-BIT/5-BIT DIVIDING CIRCUIT  
106 ... PACKET CREATING CIRCUIT  
107 ... PARALLEL/SERIAL CONVERTING CIRCUIT  
105 ... CONTROL UNIT  
104 ... CHARACTER SYNCHRONIZING CIRCUIT (5B)  
103 ... BIT SYNCHRONIZING CIRCUIT  
102 ... OPTICAL FIBER INTERFACE  
109 ... 8B10B DECODER  
108 ... 10B REPACKING CIRCUIT

## (57)要約

伝送方法は、シリアル伝送路上において送信側と受信側とで交換される複数種類の制御コードを用いるものであり、複数種類の制御コードはいずれも所定の固定長よりも短いビット数を有する。この伝送方法は、シリアル伝送路上で受信されたシリアル信号中に複数種類の制御コードのうちの一つが存在するか否かを、受信されたビット列を制御コードのビット数ごとに検査することにより判定するステップと、判定するステップにおける判定結果に基づいて、送信すべき制御コードを決定するステップと、判定するステップにおける判定結果に基づいて、少なくとも送信すべき制御コードを含むビット列をシリアル伝送路上に送信するステップと、判定するステップにおいて、相手側からのデータの伝送の開始を示す制御コードが検出されたことに応答して、受信されたビット列を固定長のビット数ごとに検査することによりデータコードを受信するステップとを含む。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AG	アンティグア・バーブーダ	DZ	アルジェリア	LC	セントルシア	SD	スーダン
AL	アルバニア	EE	エストニア	LI	リヒテンシュタイン	SE	スウェーデン
AM	アルメニア	ES	スペイン	LK	スリ・ランカ	SG	シンガポール
AT	オーストリア	FI	フィンランド	LR	リベリア	SI	スロヴェニア
AU	オーストラリア	FR	フランス	LS	レソト	SK	スロヴァキア
AZ	アゼルバイジャン	GA	ガボン	LT	リトアニア	SL	シエラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LU	ルクセンブルグ	SN	セネガル
BB	バルバドス	GD	グレナダ	LV	ラトヴィア	SZ	スワジランド
BE	ベルギー	GE	グルジア	MA	モロッコ	TD	チャード
BF	ブルキナ・ファソ	GH	ガーナ	MC	モナコ	TG	トーゴ
BG	ブルガリア	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BJ	ベナン	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BR	ブラジル	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BY	ベラルーシ	GW	ギニア・ビサウ		共和国	TT	トリニダード・トバゴ
CA	カナダ	HR	クロアチア	ML	マリ	TZ	タンザニア
CF	中央アフリカ	HU	ハンガリー	MN	モンゴル	UA	ウクライナ
CG	コンゴ	ID	インドネシア	MR	モーリタニア	UG	ウガンダ
CH	スイス	IE	アイルランド	MW	マラウイ	US	米国
CI	コートジボアール	IL	イスラエル	MX	メキシコ	UZ	ウズベキスタン
CN	中国	IN	インド	MZ	モザンビーク	VN	ベトナム
CR	コスタ・リカ	IS	アイスランド	NE	ニジェール	YU	ユーゴスラヴィア
CU	キューバ	IT	イタリア	NL	オランダ	ZA	南アフリカ共和国
CY	キプロス	JP	日本	NO	ノルウェー	ZW	ジンバブエ
CZ	チェコ	KE	ケニア	NZ	ニュージーランド		
DE	ドイツ	KG	キルギスタン	PL	ポーランド		
DK	デンマーク	KP	北朝鮮	PT	ポルトガル		
		KR	韓国	RO	ルーマニア		



## 明細書

## 伝送方法および装置

## 5 技術分野

この発明は高速シリアル通信に用いられる伝送方法および装置に関し、特に、制御コードの伝送によってデータコードの伝送を制御する伝送方法および装置に関する。

## 10 背景技術

世界標準規格である規格IEEE 1394 - 1995により規定される高速シリアルバスは、コンピュータ、デジタルカメラ、デジタルビデオカメラ、その他各種家電機器の間で大量のデータを高速に転送するためのものである。IEEE 1394 - 1995では、データ伝送は2対のツイストペアからなる電気信号線4本で、双方向に行なわれる。

一方、p 1394 b 会議においては、光ファイバ2本を用いた伝送方式について議論がされている。

これら方法では、完全な全二重方式ではないが、擬似的な全二重方式とでもいうべき方式で制御信号を機器間で交換して送信権の調停が行なわれ、その送信権を用いて半二重方式でデータ転送が行なわれる。たとえばIEEE 1394 - 1995では、4本の信号線の全てを用いてハイ、ローの信号を両機器から送信し、その結果信号線上に現れる電位の組合せによって送信権の調停を行なう。

IEEE 1394の信号を1本の光ファイバを用いて伝送する方式も開発が進められている。光ファイバが1本の場合、全二重方式では、伝送される信号中に生ずる干渉、ジッタなどが大きくなり通信が困難になるので、光を拡散しないメディアを用いる必要がある。また全二重方式の場合、受光部であるホトダイオードと光源であるLED (Laser Emitting Diode) とが近接して配置されるため、カプラなどからの光の反射によってホトダイオードの受光性能に悪影響が及ぼされるおそれがある。しかも全二重であるため、自機器側での反射と相手機器側で

の反射とがともに同じ媒体中に生じ、処理を複雑にする。こうした問題があるため、光ファイバを1本だけ用いる場合、全二重方式を実現するためのコストは大きくなる。そのため、1本の光ファイバのみを用いる場合、二つの機器が交互に送信を行なう半二重方式が好ましい。

- 5        こうした方式の一つに、ピンポン伝送方式（正式名称は「時分割方向制御伝送方式」）がある。ピンポン伝送方式では、一定の周期（これを「ピンポン周期」と呼ぶ。）で、決まったデータ量の送信と受信とが繰返し行なわれる。

- 10        I E E E 1 3 9 4 の場合には、データ転送の他に制御信号の交換を行なう。制御信号は通信を行なう両機器の状態を反映するので、できるだけすみやかに行なう必要がある。一方でデータはできるだけ高速に送信するために、一度にできるだけ多く送る必要がある。そのため、データ転送期間中は一方向にデータを転送し続けることが可能なように一回の転送を長くし、それ以外の期間には制御信号を早く交換することができるよう、転送をできるだけ短くすることが好ましい。このため、一回の転送が短い固定長の転送と、一回の転送が必要に応じて長くできる可変長の転送とを切り替えることができる、ピンポン伝送方式の改良が考案され、用いられている。この方式をここでは「バースト長可変のピンポン伝送方式」と呼ぶ。
- 15

- 20        ところで、光ファイバを用いた伝送では、一方向につき一度には送信コードのみを送り、クロック信号を送ることはしない。受信側ではしたがって、受信されるコードからクロックを再生する必要がある。このクロックを再生するためには、送信コード中にある程度以上の長さにあたる1または0の連続があるのは好ましくない。クロックの再生には、受信コード中の信号レベルの遷移がある程度の頻度で存在することが必要なためである。そのために一般的には、ある程度の頻度で必ず信号レベルの遷移が生じるように、送信コードの上にクロックを重畳して符号化する。
- 25

このように送信コードにクロックを重畳する技術としては、4 B 5 B と呼ばれる方式および8 B 1 0 B と呼ばれる方式などが知られている。4 B 5 B 符号化方式では、送信データの4ビットを5ビットに符号化する。8 B 1 0 B と呼ばれる方式では、送信データの8ビットを10ビットに符号化する。符号化された送信

コードには、ある程度の頻度で必ず信号レベルの遷移が生じ、受信側でクロック信号を再生することができる。

5 p 1 3 9 4 bでは、上記した8 B 1 0 B符号化方式を用いている。送信データはパケットとして送信され、その先頭には、以下にパケットの本体が続くことを示す固定長のヘッダが付加される。ヘッダのビットパターンは、同期パターンと呼ばれる特定のビット列であり、受信側ではこの特定のビット列を検出することにより以下にパケットの本体が続くことを検出できるとともに、この特定のビット列に基づいてクロック信号を再生し、それ以後のコードの受信をそのクロック信号を用いて行なうことができる。このような符号化方式を上記したバースト長  
10 可変のピンポン伝送方式に適用する場合、パケットのうちヘッダ部分を除いた部分は、各々が最短コード長である1 0ビットからなるコードの集合により構成される。

上記したバースト長可変のピンポン伝送方式においては、パケットが固定長か可変長かを区別する必要がある。この判別のためのひとつの代表的な方法は、パ  
15 ケットのヘッダ部分に判別のためのビットを設けることである。しかし、バースト長可変のピンポン伝送方式におけるように、固定長で送られるのは制御コードのみであり、データコードは常に可変長で送られる場合、すなわち固定長で送られるコードの種類が比較的少ないいくつかに限られているときには、その後に可変調パケットが送信されることを表わす特別な制御コードを定めることによって、  
20 パケットが固定長か可変長を判別することができる。このときのパケットフォーマットの例を図2に示す。

図2 (A)を参照して、データコードパケット5 0 0は、前述のとおり特定のビット列を持つヘッダ5 0 2と、以後にデータが続くことを示す1 0ビットのデータ開始コード5 0 4と、送信されるべきデータ本体であるデータ5 1 6と、データの終了を示す1 0ビットのデータ終了コード5 1 4とを含む。データ5 1 6は、各々が1 0ビットからなる1または複数のデータコード5 0 6、5 0 8、...、  
25 5 1 2を含む。

図2 (B)を参照して、制御コードパケット5 3 0は、ヘッダ5 0 2と同じヘッダ5 3 2と、1 0ビットの制御コード5 3 4とを含む。

データコードパケット500を送信するときには、ヘッダ502の直後であつてデータ516の前にデータ開始コード504を挿入し、データ516の直後にデータ終了コード514を付加する。受信側の機器では、データ開始コード504を受取ると、続けてデータ516が来ることを予期し、データの復号などを行なう。データ受信中にデータ終了コード514が受信されると、受信側の機器はデータコードパケット500の終了を知り、通常の固定長である制御コードパケット530の受信を行なうように受信のモードを切り替える。

つまり、従来の方式では、ヘッダ502の直後に存在する、パケットの先頭10ビットがデータ開始コードのときのみ、そのパケットは可変長のパケットとして取り扱われる。

特にIEEE1394の場合、データの前にはDATA\_PREFIXコードが、データの後はDATA\_PREFIXコードまたはDATA\_ENDコードが付加される仕様となっているので、この方式と相性がよい。

以下、図2に示したパケット構成で、8B10B符号化方式を用いて符号化したデータコードと10ビットの制御コードとを伝送するピンポン伝送を実現するための従来の装置について、図1を参照して説明する。

図1を参照して、この従来の伝送装置400は、シリアルデータを扱うための、たとえば250MHzの周波数を持つ速いクロック信号CLK250と、10ビットの平行データを扱うための、たとえば25MHzの周波数を持つ、クロック信号CLK250の10倍の周期を持つクロック信号CLK25との、二種類の内部クロック信号を有する。

伝送装置400は、光ファイバ1本からなる、相手側の機器に接続された伝送路101に接続された光ファイバ・インターフェース102と、光ファイバ・インターフェース102に接続され、光ファイバ・インターフェース102を介して伝送路101から受信した信号を、受信した信号をクロック信号CLK250に同期させて出力するためのビット同期回路103と、ビット同期回路103の出力とクロック信号CLK25を受け、ビット同期回路103から出力されたビット列の中からヘッダ502を探して、ヘッダ502に続くビット列を10ビットずつのキャラクタにまとめて、内部のクロック信号CLK25に同期させて

出力するためのキャラクタ同期回路404と、キャラクタ同期回路404の出力およびクロック信号CLK25を受け、8B10B符号化方式によって符号化されているキャラクタを復号して、送信コードから元データを復元して出力するための8B10Bデコーダ109と、8B10Bデコーダ109から受けるデータ  
5 を機器の内部に与え、また機器内部から出力されるデータおよび機器内部の状態をこの伝送装置400に与えるための機器内部へのインターフェース113とを含む。なお、この場合の「機器」とは、多くの場合通信のレイヤ構造における上位層のことをいう。

光ファイバ・インターフェース102は、相手側装置が送信したビット列を伝  
10 送路101から受け、ビット同期回路103に与えるための図示しないレシーバと、伝送装置400から伝送路101に送信されるビット列を伝送路101上にドライブするための、図示しないドライバとを有する。

伝送装置400はさらに、クロック信号CLK25に同期して動作し、キャラクタ同期回路404の出力するキャラクタ列の中に存在する制御コード、機器内  
15 部へのインターフェース113を介して与えられる機器内部から出力されるデータおよび機器内部の状態を受け、これらに基づいて、受信および送信のために伝送装置400の各部と、必要に応じて機器内部へのインターフェース113を介して機器内部とを制御するための制御部405と、制御部405によって制御されて動作し、機器内部へのインターフェース113から与えられる8ビットの元  
20 データに対して8B10B符号化方式を用いてクロック情報を重畳して10ビットのコードを出力するための8B10Bエンコーダ110と、8B10Bエンコーダ110から出力されるデータの出力タイミングと、伝送路101上への送信が可能なタイミングとを合わせるために8B10Bエンコーダ110の出力に設けられるFIFOメモリ410と、FIFOメモリ410の出力に接続され、制  
25 御部405から受取った信号にしたがって、相手機器に送るべきコードにヘッダ502、532を付加し、図2に示すパケットフォーマットにしたがったデータパケットを生成するための、10ビット幅の平行出力を有するパケット生成回路406と、パケット生成回路406の出力とクロック信号CLK250とを受け、パケット生成回路406の出力する10ビットの平行のキャラクタ単

位の信号をシリアルビット列に変換して光ファイバ・インターフェース 102 に与えるためのパラレル/シリアル変換回路 407 とを含む。

なお、制御部 405 が機器内部からのデータの出力タイミングを制御している場合には、FIFOメモリ 410 が必要でない場合もある。

5        制御部 405 によって行なわれるデータ受信時および送信時の伝送装置 400 の制御について説明する。まず受信時には、制御部 405 は、キャラクタ同期回路 404 の出力するコードが制御コードのいずれかと一致するか否かを判定する。何らかの制御コードとの一致があれば、制御部 405 はその制御コードにしたがって、送信制御コードの作成、送信タイミングの制御、および機器内部の制御を行なう。制御部 405 はまた、データパケットを受信中か制御パケットを受信中かについての判断についても行なう。

10        送信時には制御部 405 は、受信した制御コードと、機器内部へのインターフェース 113 を介して受取った機器内部の状態などに基づいて、相手側の機器に送信すべきパケットの内容と、その送信タイミングとを決める。制御部 405 はそのために、パケット生成回路に対して送信する制御コードを決める機能と、送信してよいかどうかをパケット生成回路に対して指示する送信許可信号を生成する機能とを有する。

15        図 1～図 2 に加え、図 3 に示すタイミングチャートを参照して、この従来の伝送装置 400 がピンポン伝送方式によってどのように動作するかを以下に説明する。まず、伝送装置 400 が相手側の機器からの制御パケットを受信してから相手側の機器に対する制御パケットを送信するまでの間には伝送装置 400 は以下のように動作する。

20        相手側の機器が伝送路 101 を介して伝送装置 400 に対して図 2 (B) に示すフォーマットの制御パケットを送信したものとする。受信側の機器では、光ファイバ・インターフェース 102 が伝送路 101 上のビット列を読取り、ビット同期回路 103 に送る。ビット同期回路 103 はこのビット列をクロック信号 CLK 250 と同期させ、ビット同期後受信制御パケット 601 としてキャラクタ同期回路 404 に与える。図 3 (A) および (B) から明らかなように、このビット同期後受信制御パケット 601 は内部クロック信号 (CLK 25) 600 とは

同期していない。

5 キャラクタ同期回路404はこのビット同期後受信制御パケット601からヘッダを取り除き、ヘッダ以降を（すなわち制御コードを）図3（A）に示すクロック信号CLK25に同期した10ビットパラレルのキャラクタ同期後受信制御コード602として出力する。このキャラクタ同期後受信制御コード602は、制御部405と8B10Bデコーダ109とに与えられる。

10 受信コードが図2（A）に示すデータ開始コード504ではない場合、伝送装置400は以下のように動作する。受信した制御コードがデータ開始コード504ではない場合、その後にはデータ516が続いていることはない。制御部405は受信を終了して送信を始めるために、直ちにパケット生成回路406に対して図3（D）に示す送信許可信号603を出力する。制御部405は同時に、受取った制御コードに応じて、必要であれば機器内部へのインターフェース113を介して機器の内部および／または他の回路を制御する。

15 その後、制御部405は、相手側の機器に対して制御コードを送信する場合には送信制御コード604（図3（E））を生成し、内部クロック信号（CLK25）600の次の立ち上がりエッジでパケット生成回路406に対して出力する。相手側の機器に対してデータを送信する場合には、制御部405は、「データ開始」コードを生成する。

20 パケット生成回路406は、制御部405から送信許可信号603を受信すると直ちにヘッダを生成してパラレル／シリアル変換回路407に対して出力する。図3（C）および図3（D）から明らかなように、送信許可信号603の直後のクロックサイクルで送信制御コード604が制御部405からパケット生成回路406に対して送られるので、パケット生成回路406はこの送信制御コード604をヘッダの直後に付加する。この結果、送信されるパケットは図3（F）に示す送信制御パケット605のようになる。

25 図3（F）において送信制御コード604が「データ開始」コードであるときには、パケット生成回路406はさらにFIFOメモリ410からデータを読んでパラレル／シリアル変換回路407に対して出力する。そして、FIFOメモリ410が空になるとパケット生成回路406は「データ終了」コードを出力す

る。したがってこのときの packets は、図 3 (G) に示される送信データ packets 606 となる。

結局、ビット同期後の受信制御 packets 内にビット同期後受信制御 packets 601 が現れてから、伝送装置 400 の packets 生成回路 406 が送信制御コード  
5 を出力するまでの遅延時間は、遅延時間 611 ~ 614 の和となる。

以上は、半二重伝送方式の場合を例として説明したが、全二重方式の場合には従来の装置は以下のような構成を有する。図 4 において、図 1 に示す各部品と同様の機能を有する部品には同じ参照番号を付してある。それらの名称も同様である。したがって、それらについての詳細な説明は繰返さない。

10 全二重方式では、伝送が確立している間、伝送路上を途切れることなくコードが送信される。伝送されるコードには、半二重方式の場合と同様、制御コードとデータコードとの二種類がある。データコードを送信する前には、DATA\_\_PREFIX コードが送信され、データコードの送信が終了するときには DATA\_\_END コードが送信される。

15 この例においては、データ送信権という概念があり、データ送信権を有する側がデータの送信を行ない、そのための送信権の受け渡しが必要である。データ送信権の受渡しは以下のようにして行なわれる。

図 6 を参照して、図 6 (A) には送信権を獲得しようとする送信装置から送信されるコードの流れを、図 6 (B) には相手から送信されてくるコードの流れを示す。  
20

まず、送信権を獲得しようとする機器（以下「送信側」と呼ぶ。）は「REQUEST コード」と呼ばれる制御コードを相手側に送信する。図 6 (A) に示すように、この REQUEST コードは相手から応答がくるまで繰返し送信される。

REQUEST コードを受信した機器（以下「受信側」と呼ぶ。）は、REQUEST コードを受け入れるのであれば、すなわち送信権を送信側に引き渡す場合には、「GRANT」コードと呼ばれる制御コードを送信側に送信する。この GRANT コードも相手から応答があるまでは繰返し送信される。  
25

送信側は GRANT コードを受信すると、送信コードを DATA\_\_PREFIX コードに替えて相手側機器に送信を開始するとともに、データコード送信の準



備をする。受信側は、DATA\_PREFIXコードを受取ると、IDLEと呼ばれる制御コードの送信を開始する。このIDLEを受信した送信側は、受信側がデータコードの受信の準備ができたことを知り、データの送信を開始する。

- 5 受信側では、データコードを受信するときと、制御コードを受信するときとは、その受信モードを切り替える必要がある。図5に、そのときの受信側で行なわれる処理のフローチャートを示す。

- まず、最初には、受信モードは制御コード受信モードに設定される(S1)。受信モードが制御コード受信モードとなった後、送信側から送信されてくるコードの1キャラクタを読取る(S2)。続いて、読取ったキャラクタにより表わされるコードを判別する(S3)。ここで、コードがDATA\_PREFIXコードであると判定されると、制御はステップS2に戻り、ステップS2～S3の処理を繰返す。
- 10

- ステップS3においてDATA\_PREFIXコードが受信されたと判定された場合には、制御はステップS4に進み、受信モードはデータコード受信モードに設定される。そして、送信側から送信されてくるデータコードを1キャラクタずつ読取る(S5)。続いてステップS6で、読取られたコードがDATA\_ENDコードか否かを判定し、DATA\_ENDコードが受信されたと判定すると、制御はステップS1に戻る。さもなければ制御はステップS5に戻り、ステップS5およびS6の処理を繰返す。
- 15

- 図4を参照して、全二重方式で通信を行なう伝送装置700は、光ファイバによる、それぞれ論理的に一本の伝送路である送信路101Aと、相手側機器の送信路101Bとに接続されて相手側機器と全二重方式により通信を行なうものである。送信路101Aの他端は相手側機器の光レシーバに、相手側機器の送信路101Bの他端は相手側機器の光トランシーバに、それぞれ接続される。ただし
- 20
- 25 送信路101Aおよび相手側機器の送信路101Bは、それぞれ一本ずつの合計2本の光ファイバによって実現される場合もあるし、1本のファイバのみで実現される場合もある。送信路101A上には、常に伝送装置700から相手側機器への送信コードが流れ、相手側機器の送信路101B上には、常に相手側機器からの送信コードが流れている。

またこの伝送装置 700 は、図 1 に示す伝送装置 400 と同様、二つの内部クロックであるクロック信号 CLK 25 とクロック信号 CLK 250 とを有する。

伝送装置 700 は、相手側機器の送信路 101 B に接続された光レシーバ 102 B と、光レシーバ 102 B の出力を受けるビット同期回路 103 と、ビット同期回路 103 の出力を受けるキャラクタ同期回路 404 と、キャラクタ同期回路 404 の出力を受ける 8 B 10 B デコーダ 109 と、8 B 10 B デコーダ 109 の出力を受ける機器内部へのインターフェース 113 とを含む。

この伝送装置 700 はさらに、クロック信号 CLK 25 に同期して動作し、キャラクタ同期回路 404 の出力するキャラクタ列の中に存在する制御コード、機器内部へのインターフェース 113 を介して与えられる機器内部から出力されるデータおよび機器内部の状態を受け、これらに基づいて、受信および送信のために伝送装置 700 の各部と、必要に応じて機器内部へのインターフェース 113 を介して機器内部とを制御し、さらに後述するセクタ信号および送信制御コードとを出力するための制御部 705 と、機器内部へのインターフェース 113 から出力されるデータを受けて 8 B 10 B 符号化方式による符号化を行なって 10 ビットパラレルのキャラクタ単位のデータコードを出力するための 8 B 10 B エンコーダ 110 と、8 B 10 B エンコーダ 110 の出力と制御部 705 の出力とを受け、制御部 705 から与えられるセクタ信号に応答して、8 B 10 B エンコーダ 110 の出力と制御部 705 の出力との一方を選択して 10 ビットのパラレル信号として出力するためのコードセクタ 706 と、コードセクタ 706 の出力をパラレル・シリアル変換してビット列に変換して出力するためのパラレル／シリアル変換回路 407 と、パラレル／シリアル変換回路 407 から出力される送信コードを光信号に変換し、送信路 101 A に出力するための光トランシーバ 102 A とを含む。

伝送装置 700 については、特に伝送装置 400 と異なる点についてのみ説明する。伝送装置 700 は以下のように動作する。伝送装置 700 の制御部 705 は、送受信に関連する機能として、大きく分けて受信コードを処理する機能と、送信コードを選択する機能とを有する。

まず、制御部 705 による受信コードの処理について説明する。キャラクタ同

期回路 4 0 4 から入力されるコードが何であるかによって制御部 7 0 5 は受信モードを切り替える。受信モードが制御コード受信モードである場合、制御部 7 0 5 はキャラクタ同期回路 4 0 4 の出力の 1 キャラクタを読み取り、解読して必要な処理を行なう。この場合、8 B 1 0 B デコーダ 1 0 9 の出力は無意味であるから、

5 制御部 7 0 5 は 8 B 1 0 B デコーダ 1 0 9 の出力をマスクしたり、機器内部へのインターフェース 1 1 3 を介して機器内部に対して、8 B 1 0 B デコーダ 1 0 9 の出力が無効であることを知らせる制御信号を機器内部へのインターフェース 1 1 3 を介して機器に送ったりする。この制御信号を受けた機器は、8 B 1 0 B デコーダ 1 0 9 の出力を無視するなどの処理を行なう。

- 10 相手側機器から DATA\_\_PREFIX コードが受信されたと判定された場合には、受信モードはデータコード受信モードにセットされる。以後、相手から送信されてくるコードを 1 キャラクタずつ読み込む。このとき、8 B 1 0 B デコーダ 1 0 9 の出力は有効とされる。

- 15 送信時には伝送装置 7 0 0 は以下のように動作する。制御部 7 0 5 は、キャラクタ同期回路 4 0 4 から送られてきた制御コードと伝送装置 7 0 0 の状態とから、相手側の機器に送信すべき制御コードを選択する。制御部 7 0 5 はこうして選択された制御コードをコードセクタ 7 0 6 に与える。また制御部 7 0 5 は、8 B 1 0 B エンコーダ 1 1 0 の出力を選択するか、制御部 7 0 5 から与えられる制御コードを選択するかを指示するためのセレクト信号をコードセクタ 7 0 6
- 20 に与える。

コードセクタ 7 0 6 は、制御部 7 0 5 から与えられるセクタ信号の値に応じて、8 B 1 0 B エンコーダ 1 1 0 から与えられるデータコードまたは制御部 7 0 5 から与えられる制御コードのいずれかを選択してパラレル／シリアル変換回路 4 0 7 に与える。

- 25 パラレル／シリアル変換回路 4 0 7 はコードセクタ 7 0 6 から与えられるデータコードまたは制御コードをビット列に変換して光トランシーバ 1 0 2 A に与え、光トランシーバ 1 0 2 A はこのビット列を光信号に変換して送信路 1 0 1 A 上に出力する。

高速シリアル通信では、上述したように制御コードの交換をできるだけ速くす

ることが望ましい。ところが、上記したいずれの例においても、より速く制御コードの交換が行えるように改良する余地がある。その理由の一つは、いずれの場合にも制御コードが長過ぎることである。

- 5 制御コードは実際には10種類程度しかなく、制御コードは5ビット程度で十分である。すなわち、制御コードにデータコードと同様に10ビットを割り当てる必要はなく、制御コードの伝送に要する時間を短縮できる可能性がある。

したがってこの発明の目的は、制御コードをより短くし、それによって通信のために要する時間をより短縮することができる伝送方法および装置を提供することである。

- 10 この発明の他の目的は、制御コードをより短くすることによってネゴシエーションに要する時間を短くすることができる伝送方法および装置を提供することである。

この発明のさらに他の目的は、制御コードをより短くすることによってピンポン周期を短くすることができる伝送方法および装置を提供することである。

15

#### 発明の開示

- この発明のある局面にかかる伝送方法は、伝送すべきデータに、復号のためのクロック信号を重畳する符号化を行なったデータコードをシリアル伝送路上で伝送する伝送方法である。この符号化により符号化されたデータコードは所定の固定長のビット数を有する。またこの伝送方法は、シリアル伝送路上において送信側と受信側とで交換される複数種類の制御コードを用いるものであり、複数種類の制御コードはいずれも所定の固定長よりも短いビット数を有する。この伝送方法は、シリアル伝送路上で受信されたシリアル信号中に複数種類の制御コードのうちの一つが存在するか否かを、受信されたビット列を制御コードのビット数ごとに検査することにより判定するステップと、判定するステップにおける判定結果に基づいて、送信すべき制御コードを決定するステップと、判定するステップにおける判定結果に基づいて、少なくとも送信すべき制御コードを含むビット列をシリアル伝送路上に送信するステップと、判定するステップにおいて、相手側からのデータの伝送の開始を示す制御コードが検出されたことに応答して、受信
- 20
- 25

されたビット列を固定長のビット数ごとに検査することによりデータコードを受信するステップとを含む。

この伝送方法によれば、データコードはデータコードの固定長ごとに検査される一方、制御コードについてはデータコードよりも短いビット長で送信され、検査される。そのため制御コードにデータコードの固定長と同じ数のビット数を割り当てる場合と比較して制御コードの送信および検査に要する時間が短くなり、データの伝送を高速に行なうことが可能となる。

好ましくは、制御コードのビット数は、所定の固定長のビット数の整数分の一、たとえば偶数分の一であり、8 B 1 0 B 符号化方式によりデータの符号化が行なわれる場合には二分の一である。

この発明の他の局面にかかる伝送装置は、伝送すべきデータに、復号のためのクロック信号を重畳する符号化を行なったデータコードをシリアル伝送路上で伝送する伝送装置である。この符号化により符号化されたデータコードは所定の固定長のビット数を有する。さらにこの伝送装置は、シリアル伝送路上において送信側と受信側とで交換される複数種類の制御コードを用いるものであり、複数種類の制御コードはいずれもデータコードの所定の固定長よりも短いビット数を有する。この伝送装置は、シリアル伝送路上で受信されたシリアル信号中に複数種類の制御コードのうちの一つが存在するか否かを、ビット列を短いビット数ごとに検査することにより判定するための判定回路と、判定回路の判定結果に基づいて、送信すべき制御コードを決定し、少なくともこの送信すべき制御コードを含むビット列をシリアル伝送路上に送信するための送信回路と、判定回路によって、相手側からのデータの伝送の開始を示す制御コードが検出されたことに応答して、受信されたビット列をデータコードの固定長のビット数ごとに検査することによりデータコードを受信するためのデータコード受信回路とを含む。

この伝送方法によれば、データコードはデータコードの固定長ごとに検査される一方、制御コードについてはデータコードよりも短いビット長で送信され、検査される。そのため制御コードにデータコードの固定長と同じ数のビット数を割り当てる場合と比較して制御コードの送信および検査に要する時間が短くなり、データの伝送を高速に行なうことが可能となる。

- この発明のさらに他の局面にかかる伝送装置は、伝送すべきデータに、復号のためのクロック信号を重畳する符号化を行なったデータコードをシリアル伝送路上で伝送する伝送装置である。この符号化により符号化されたデータコードは所定の固定長のビット数を有する。またこの伝送装置は、シリアル伝送路上において送信側と受信側とで交換される複数種類の制御コードを用いるものであり、また複数種類の制御コードはいずれもデータコードの所定の固定長よりも短いビット数を有する。この伝送装置は、シリアル伝送路上で受信されたシリアル信号を、制御コードのビット数で制御コードを処理するためのクロック信号に同期された、制御コードのビット数のパラレル信号に変換する第1の同期回路と、制御コードを処理するためのクロック信号に同期して、第1の同期回路から出力されたパラレル信号中に複数の制御コードのいずれかが含まれるか否かを判定し、判定結果にしたがって伝送装置を制御する制御回路と、第1の同期回路から出力されたパラレル信号により表わされるキャラクタの複数個を、固定長のビット数のパラレル信号の1キャラクタにパックするパック回路とを含む。
- この伝送方法によれば、データコードはデータコードの固定長ごとに検査される一方、制御コードについてはデータコードよりも短いビット長で送信され、検査される。そのため制御コードにデータコードの固定長と同じ数のビット数を割り当てる場合と比較して制御コードの送信および検査に要する時間が短くなり、データの伝送を高速に行なうことが可能となる。

#### 図面の簡単な説明

図1は従来の装置の第1の例のブロック図である。

図2は図1に示す装置で用いられるパケットのフォーマットを示す図である。

図3は図1に示す従来の装置で行なわれる受信コード判定処理のタイミングチャートである。

図4は従来の装置の第2の例のブロック図である。

図5は図4の装置で実行される処理のフローチャートである。

図6は図4の装置によるネゴシエーション時間を説明するための図である。

図7は本発明の第1の実施例にかかる伝送装置のブロック図である。

図8は10ビットリパック回路のブロック図である。

図9は第1の実施例の伝送装置による通信で用いられるパケットのフォーマットを示す図である。

5 図10は第1の実施例の伝送装置により行なわれる受信コード判定処理のタイミングチャートである。

図11は第1の実施例の伝送装置によるピンポン反応遅延時間を従来の伝送装置によるものと比較して表形式で示す図である。

図12は本発明の第2の実施例にかかる伝送装置のブロック図である。

10 図13は第2の実施例によるネゴシエーション時間を従来の伝送装置によるものと比較して示す図である。

発明を実施するための最良の形態

以下、この発明を実施するための最良の形態について説明するが、以下の説明および既に述べた従来の技術の説明においては、同一のまたは同様の機能を持つ  
15 部品には同じ参照符号を付す。それらの名称も同一である。したがって以下ではそれらについての詳細な説明は、特に必要がある場合を除き繰返さない。

#### 第1の実施例

図7を参照して、この発明の第1の実施例にかかる伝送装置100は、伝送路101を介して相手機器と半二重方式による通信を行なうための装置である。伝  
20 送装置100は、図1に示す伝送装置400と同様、クロック信号CLK25およびクロック信号CLK250を有するが、さらにこれに加えてクロック信号CLK25の1/2の周期（倍の周波数）を有するクロック信号CLK50を有する。クロック信号CLK50は、伝送装置100の内部で10ビットの半分である5ビット単位で制御コードを取り扱うために導入されたクロック信号である。

25 伝送装置100は、伝送路101に接続された光ファイバ・インターフェース102と、光ファイバ・インターフェース102の出力を受け、クロック信号CLK250で動作するビット同期回路103と、ビット同期回路103の出力を受け、ビット同期回路103から出力される、クロック信号CLK250と同期されたビット列を5ビットずつの平行信号に変換し、クロック信号CLK5

0に同期させて出力するためのキャラクタ同期回路104（5ビット）と、キャラクタ同期回路104の出力とクロック信号CLK25およびCLK50とを受け、クロック信号CLK50に同期して5ビットずつ平行にキャラクタ同期回路104から出力される5ビットごとのキャラクタを10ビットのキャラクタに再構築し、クロック信号CLK25に同期して10ビット平行の信号として出力するための10Bリパック回路108と、10Bリパック回路108の出力を受ける8B10Bデコーダ109と、8B10Bデコーダ109の出力を受ける機器内部へのインターフェース113とを含む。

伝送装置100はさらに、クロック信号CLK50に同期して動作し、キャラクタ同期回路104の出力するキャラクタ列の中に存在する制御コード、機器内部へのインターフェース113を介して与えられる機器内部から出力されるデータおよび機器内部の状態を受け、これらに基づいて、受信および送信のために伝送装置100の各部と、必要に応じて機器内部へのインターフェース113を介して機器内部とを制御し、さらに5ビットの送信制御コードと送信を制御する送信許可信号とを出力するための制御部105と、機器内部へのインターフェース113の出力を受ける8B10Bエンコーダ110と、8B10Bエンコーダ110の出力を受け、クロック信号CLK50に同期して動作し、8B10Bエンコーダ110からクロック信号CLK25に同期して出力される10ビットの平行データを5ビットずつに分割し、平行な信号としてクロック信号CLK50に同期して出力するための10ビット／5ビット分割回路111と、10ビット／5ビット分割回路111の出力を受ける、クロック信号CLK50に同期して動作する5ビット幅の出力を有するFIFOメモリ112と、FIFOメモリ112のデータコードの出力および制御部105からの制御コードの出力を受け、制御部105から与えられる送信許可信号に応答してFIFOメモリ112の出力と制御部105からの制御コードとによりパケットを生成してクロック信号CLK50に同期して出力するためのパケット生成回路106と、パケット生成回路106の出力する5ビットの平行信号を受け、クロック信号CLK250に同期してビット列に変換して出力するための平行／シリアル変換回路107とを含む。平行／シリアル変換回路107の出力するビット列は、



光ファイバ・インターフェース 102 によって光信号に変換されて伝送路 101 上に出力される。

図 8 を参照して、10B リパック回路 108 は、キャラクタ同期回路 104 から与えられる 5 ビットパラレルのキャラクタ信号を受け、クロック信号 CLK 50 に同期して保持し出力するための 5 ビットラッチ回路 142 と、5 ビットラッチ回路 142 の出力である 5 ビットと、キャラクタ同期回路 104 の出力である 5 ビットとに接続された入力を有し、クロック信号 CLK 25 に同期して、入力されている信号を保持し 8B10B デコーダ 109 に 10 ビットパラレルの信号として出力するための 10 ビットラッチ回路 140 とを含む。

図 9 に、この第 1 の実施例の伝送装置 100 で用いられるパケットのフォーマットを示す。図 9 (A) を参照して、データコードパケット 160 は、ヘッダ 162 と、5 ビットのデータ開始コード 164 と、データ 178 と、データ 178 の末尾に付加された 5 ビットのデータ終了コード 176 とを含む。ヘッダ 162 は図 2 に示したヘッダ 502 と同じものである。データ 178 は、各々が 10 ビットのキャラクタである 8B10B 符号化方式で符号化されたデータコード 166、168、...、174 を含む。

図 9 (B) を参照して、制御コードパケット 180 は、ヘッダ 182 と、5 ビットの制御コード 184 とを含む。

図 9 からわかるように、この伝送装置 100 では、制御コードとしては、データコード (10 ビット) とは異なり、5 ビットが用いられる。この 5 ビット単位でコードを取り扱う必要があるため、10 ビット単位でコードを取り扱うためのクロック信号 CLK 25 に加えて、1/2 の周期 (2 倍の周波数) を有するクロック信号 CLK 50 を導入している。

この第 1 の実施例にかかる伝送装置 100 は、制御コードパケットを受取ってから制御コードパケットまたはデータコードパケットを送信するまでの動作に特色がある。以下、その動作について説明する。

図 10 (B) を参照して、ビット同期回路 103 によりビット同期がされた後のパケット中の受信制御コード 202 は、ヘッダとともにキャラクタ同期回路 104 に送られる。このときのパケットを構成するビット列は、図 10 (A) に示

される5ビットコードのためのクロック信号200 (CLK50) とは同期がとれていない。

図10 (C) を参照して、キャラクタ同期回路104によってパケットからヘッダが取り除かれ、5ビットの制御コード204が制御部105および10Bリ  
5    パック回路108に出力される。制御コード204は5ビットコードのためのクロック信号200 (CLK50) と同期されている。

受信コードが図9 (A) に示すデータ開始コード164ではない場合、伝送装置100は以下のように動作する。受信した5ビットの制御コードがデータ開始  
コード164ではない場合、その後にはデータ178が続いていることはない。  
10    制御部105は受信を終了して送信を始めるために、直ちにパケット生成回路106に対して図10 (D) に示す送信許可信号206を出力する。制御部105は同時に、受取った制御コードに応じて、必要であれば機器内部へのインターフェース113を介して機器の内部および/または他の回路を制御する。

その後、制御部105は、相手側の機器に対して制御コードを送信する場合には5ビットの送信制御信号208 (図10(E)) を生成し、5ビットコードのためのクロック信号200 (CLK50) の次の立ち上がりエッジでパケット生成回路106に対して出力する。相手側の機器に対してデータを送信する場合には、  
15    制御部105は、5ビットの「データ開始」コードを生成する。

パケット生成回路106は、制御部105から送信許可信号206を受信すると直ちにヘッダを生成してパラレル/シリアル変換回路107に対して出力する。  
20    図10 (C) および図10 (D) から明らかなように、送信許可信号206の直後の5ビットコードのためのクロック信号200 (CLK50) のクロックサイクルで5ビットの送信制御信号208が制御部105からパケット生成回路106に対して送られるので、パケット生成回路106はこの5ビットの送信制御信号208をヘッダの直後に付加する。この結果、送信されるパケットは図10 (F) に示す送信制御パケット210のようになる。  
25   

図10 (E) において送信制御コード604が「データ開始」コードであるときには、パケット生成回路106はさらにFIFOメモリ112から5ビットずつデータを読んでビット列に変換しパラレル/シリアル変換回路107に対して

出力する。そして、F I F Oメモリ 1 1 2 が空になるとパケット生成回路 1 0 6 は 5 ビットの「データ終了」コードを出力する。したがってこのときのパケットは、図 1 0 (G) に示される送信データパケット 2 1 2 となる。

結局、ビット同期後の受信制御パケット内に受信制御コード 2 0 2 が現れてから、伝送装置 1 0 0 のパケット生成回路 1 0 6 が 5 ビットの送信制御コードを出力するまでの遅延時間は、受信制御コード 2 0 2 の出力から送信許可信号 2 0 6 の出力開始までの遅延時間 2 2 0、送信許可信号 2 0 6 の出力開始からヘッダの出力開始までの遅延時間 2 2 2、ヘッダの出力に要する遅延時間 2 2 4、および 5 ビットの制御コードの出力に要する遅延時間 2 2 6 の和となる。

図 1 0 のタイミング図を図 3 と比較すると明らかなように、この第 1 の実施例の伝送装置 1 0 0 による処理の流れ自体は伝送装置 4 0 0 のそれと全く同じである。しかし、図 1 0 の遅延時間 2 2 0、2 2 2 および 2 2 6 は、図 3 の遅延時間 6 1 1、6 1 2 および 6 1 4 よりそれぞれ短くなっている。その理由の一つは制御コードが 1 0 ビットから 5 ビットに短くなったために制御コードの伝送に要する時間による生ずる遅延が短くなったことである。理由の他の一つは 5 ビットコードのためのクロック信号 2 0 0 (C L K 5 0) の周期が図 3 の内部クロック信号 (C L K 2 5) 6 0 0 の半分であることによって、遅延時間 2 2 2 が従来の遅延時間 6 1 2 と比較してより短くなったことである。

図 1 1 に、図 3 の従来例と図 1 0 の第 1 の実施例における例とにおけるピンポン反応遅延時間を比較したものを表形式で示す。ただしこの評価においては、ビット同期は受信されたコードの最初のビットからとることができること、および各処理は 1 クロックの間に完了すること、という理想的な状態を仮定している。

図 1 1 を参照して、この第 1 の実施例による時間短縮効果は、「キャラクタ同期」、「制御コード付加」および「制御コード判別」の 3 箇所である。このうち「キャラクタ同期」および「制御コード付加」における時間短縮は、8 B 1 0 B 符号化方式を用いたデータコードの最短長である 1 0 ビットよりも短いビット数で制御コードを送るようにしたことにより直接的にもたらされる。「制御コード付加」における時間短縮は、内部の動作クロックの周波数を高くしたことによる 2 次的な効果である。

## 第2の実施例

次に、本発明を全二重伝送方式（従来の例では図4に示されるものに対応）に適用した実施例について、図12以下を参照して説明する。この第2の実施例にかかる伝送装置300は、第1の実施例のものと同様に、クロック信号CLK25およびクロック信号CLK250に加えて、5ビットのデータを取り扱うためにクロック信号CLK50をも内部クロック信号として使用する。

伝送装置300は、相手側機器の送信路101Bに接続された光レシーバ102Bと、光ファイバ・インターフェース102の出力を受け、クロック信号CLK250によって動作するビット同期回路103と、ビット同期回路103の出力を受け、クロック信号CLK50によって動作するキャラクタ同期回路104と、キャラクタ同期回路104の出力を受け、クロック信号CLK25およびクロック信号CLK50によって動作する10Bリパック回路108と、10Bリパック回路108の出力を受ける8B10Bデコーダ109と、8B10Bデコーダ109の出力を受ける機器内部へのインターフェース113とを含む。

伝送装置300はさらに、クロック信号CLK50に同期して動作し、キャラクタ同期回路104の出力するキャラクタ列の中に存在する制御コード、機器内部へのインターフェース113を介して与えられる機器内部から出力されるデータおよび機器内部の状態を受け、これらに基づいて、受信および送信のために伝送装置300の各部と、必要に応じて機器内部へのインターフェース113を介して機器内部とを制御し、さらに5ビットの送信制御コードとパケットの生成を制御するセクタ信号とを出力するための制御部305と、機器内部へのインターフェース113から8ビットのデータを受けて8B10B符号化方式により符号化し10ビットのデータコードを出力するための8B10Bエンコーダ110と、8B10Bエンコーダ110の出力を受けて5ビットずつに分割してクロック信号CLK50に同期して順に出力するための10ビット／5ビット分割回路111と、10ビット／5ビット分割回路111の出力と、制御部305から与えられる5ビットの制御コードとを受け、制御部305から与えられるセクタ信号に応答していずれか一方を選択して出力するための、クロック信号CLK50に同期して動作するコードセクタ306と、コードセクタ306の出力す

る5ビットの平行データビット列に変換するための、クロック信号CLK 250に同期して動作する平行/シリアル変換回路107と、平行/シリアル変換回路107の出力するビット列を光信号に変換して送信路101A上に出力するための光トランシーバ102Aとを含む。

- 5        この第2の実施例にかかる伝送装置300は、データ送信権のネゴシエーション時の動作にその特徴を有する。以下、データ送信権のネゴシエーション時の伝送装置300の動作について図12および図13(A)(B)を参照して説明する。なお図13(C)および(D)はそれぞれ比較のために従来の装置におけるネゴシエーション経過を示したものであり、図6(A)および(B)に示したものとそれぞれ同一である。なおこの例においても、受信側および送信側は双方とも、制御コードを送った後は、相手何らかの応答があるまで同じ制御コードを送信し続ける。
- 10

- 図12(A)を参照して、送信側では、送信権を獲得しようとする場合には5ビットのREQUESTコードを受信側に送信する。受信側は、REQUESTコードを受信すると、送信権を引き渡してもよい場合にはGRANTコードを送信する。送信側では、このGRANTコードを受取るとDATA\_PREFIXコードを送信する。受信側はDATA\_PREFIXコードを受取り、自己が受信可能である場合にはIDLEコードを送信する。送信側は、IDLEコードを受信するとデータの送信を開始する。
- 15

- 20        図13(A)(B)において各制御コードの送信に要する時間は、図13(C)(D)において要する時間の半分である。すなわち、送信権の引き渡し時のネゴシエーションに要する時間がこの第2の実施例によると従来よりも大幅に短縮でき、その結果データの伝送に要する時間も短縮することができる。

25        産業上の利用可能性

      以上のようにこの発明は、全二重および半二重にかかわらずシリアルデータ転送を高速化できるので、家庭電気機器、コンピュータ、コンピュータの周辺機器、デジタルカメラ、デジタルビデオカメラなどデジタル技術を用いた機器間での高速なシリアルデータ転送に適用するのに適している。

## 請求の範囲

1. 伝送すべきデータに、復号のためのクロック信号を重畳する符号化を行なったデータコードをシリアル伝送路上で伝送する伝送方法であって、

- 5 前記符号化により符号化されたデータコードは所定の固定長のビット数を有し、  
前記伝送方法は、前記シリアル伝送路上において送信側と受信側とで交換される複数種類の制御コードを用いるものであり、前記複数種類の制御コードはいずれも前記所定の固定長よりも短いビット数を有し、

- 10 前記シリアル伝送路上で受信されたシリアル信号中に前記複数種類の制御コードのうちの一つが存在するか否かを、前記ビット列を前記短いビット数ごとに検査することにより判定するステップと、

前記判定するステップにおける判定結果に基づいて、送信すべき制御コードを決定するステップと、

前記判定するステップにおける判定結果に基づいて、少なくとも前記送信すべき制御コードを含むビット列を前記シリアル伝送路上に送信するステップと、

- 15 前記判定するステップにおいて、相手側からのデータの伝送の開始を示す制御コードが検出されたことに応答して、前記ビット列を前記固定長のビット数ごとに検査することによりデータコードを受信するステップとを含む、伝送方法。

2. 前記複数種類の制御コードのビット数は、前記所定の固定長のビット数の整数分の一である、請求項 1 に記載の伝送方法。

- 20 3. 前記所定の固定長のビット数は偶数であり、

前記複数種類の制御コードのビット数は、前記所定の固定長のビット数の偶数分の一である、請求項 2 に記載の伝送方法。

4. 前記所定の固定長のビット数は 10 であり、

前記複数種類の制御コードのビット数は 5 である、請求項 3 に記載の伝送方法。

- 25 5. 前記伝送路は半二重伝送路であり、

前記伝送方法は、通信の方向を所定の第 1 の制御コードおよび第 2 の制御コードの交換により切り替えて双方向通信を実現するためのものであり、

前記決定するステップは、前記判定するステップにおいて前記第 1 の制御コードが存在すると判定されたことに応答して、前記第 2 の制御コードを送信するこ

とを決定するステップを含み、

前記伝送方法はさらに、前記決定するステップにおいて前記第 2 の制御コードを送信することが決定されたことに応答して、前記第 2 の制御コードを生成するステップを含み、

- 5 前記送信するステップは、前記第 2 の制御コードを所定のヘッダに続いて前記伝送路上に送出するステップと、

前記第 2 の制御コードに続いて、前記符号化されたデータコードを送出するステップと、

- 10 前記符号化されたデータコードの送出が終了した後に、前記第 1 の制御コードを送出するステップとを含む、請求項 1 に記載の伝送方法。

6. 前記伝送路は全二重伝送路であり、

前記伝送方法は、通信の方向を所定の第 1 および第 2 の制御コードの交換により切り替えて送信権の受け渡しを実現するためのものであり、

前記伝送方法はさらに、

- 15 送信権を獲得するために、前記第 1 の制御コードの前記伝送路上への送信を開始するステップを含み、

前記判定するステップは、前記第 1 の制御コードに応答して相手側から前記第 2 の制御コードが送信されてきたか否かを判定するステップを含み、

- 20 前記決定するステップは、前記判定するステップにおいて前記第 2 の制御コードが存在すると判定されたことに応答して、データの送信を示す第 3 の制御コードを送信するステップを含み、

前記伝送方法はさらに、前記第 3 の制御コードに応答して前記相手側から第 4 の制御コードが送信されてきたか否かを判定するステップと、

- 25 前記第 4 の制御コードが送信されてきたと判定されたことに応答して、前記符号化方法により符号化されたデータコードの送信を開始するステップとを含む、請求項 1 に記載の伝送方法。

7. 伝送すべきデータに、復号のためのクロック信号を重畳する符号化を行なったデータコードをシリアル伝送路上で伝送する伝送装置であって、

前記符号化により符号化されたデータコードは所定の固定長のビット数を有し、

前記伝送装置は、前記シリアル伝送路上において送信側と受信側とで交換される複数種類の制御コードを用いるものであり、前記複数種類の制御コードはいずれも前記所定の固定長よりも短いビット数を有し、

- 5 前記シリアル伝送路上で受信されたシリアル信号中に前記複数種類の制御コードのうちの 하나가存在するか否かを、前記ビット列を前記短いビット数ごとに検査することにより判定するための判定手段と、

前記判定手段の判定結果に基づいて、送信すべき制御コードを決定し、少なくとも前記送信すべき制御コードを含むビット列を前記シリアル伝送路上に送信するための送信手段と、

- 10 前記判定手段によって、相手側からのデータの伝送の開始を示す制御コードが検出されたことに応答して、前記ビット列を前記固定長のビット数ごとに検査することによりデータコードを受信するためのデータコード受信手段とを含む、伝送装置。

- 15 8. 前記複数種類の制御コードのビット数は、前記所定の固定長のビット数の整数分の一である、請求項 7 に記載の伝送装置。

9. 前記所定の固定長のビット数は偶数であり、

前記複数種類の制御コードのビット数は、前記所定の固定長のビット数の偶数分の一である、請求項 8 に記載の伝送装置。

10. 前記所定の固定長のビット数は 10 であり、

- 20 前記複数種類の制御コードのビット数は 5 である、請求項 9 に記載の伝送装置。

11. 前記伝送路は半二重伝送路であり、

前記伝送装置は、通信の方向を所定の第 1 の制御コードおよび第 2 の制御コードの交換により切り替えて双方向通信を実現するためのものであり、

- 25 前記送信手段は、前記判定手段によって前記第 1 の制御コードが存在すると判定されたことに応答して、前記第 2 の制御コードを所定のヘッダに続いて前記伝送路上に送出するための手段と、

前記第 2 の制御コードに続いて、前記符号化されたデータコードを前記伝送路上に送出するための手段と、

前記符号化されたデータコードの送出が終了した後に、前記第 1 の制御コード



を送出するための手段とを含む、請求項 7 に記載の伝送装置。

1 2. 前記伝送路は全二重伝送路であり、

前記伝送装置は、通信の方向を所定の第 1 および第 2 の制御コードの交換により切り替えて送信権の受け渡しを実現するためのものであり、

5 前記伝送装置はさらに、

送信権を獲得するために、前記第 1 の制御コードの前記伝送路上への送信を開始するための手段を含み、

前記判定手段は、前記第 1 の制御コードに応答して相手側から前記第 2 の制御コードが送信されてきたか否かを判定するための手段を含み、

10 前記送信手段は、前記判定手段によって前記第 2 の制御コードが存在すると判定されたことに応答して、データの送信を示す第 3 の制御コードを送信するための手段を含み、

前記伝送装置はさらに、前記第 3 の制御コードに応答して前記相手側から第 4 の制御コードが送信されてきたか否かを判定するための手段と、

15 前記第 4 の制御コードが送信されてきたと判定されたことに応答して、前記符号化方法により符号化されたデータコードを送信するための手段とを含む、請求項 7 に記載の伝送装置。

1 3. 伝送すべきデータに、復号のためのクロック信号を重畳する符号化を行なったデータコードをシリアル伝送路上で伝送する伝送装置であって、

20 前記符号化により符号化されたデータコードは所定の固定長のビット数を有し、  
前記伝送装置は、前記シリアル伝送路上において送信側と受信側とで交換される複数種類の制御コードを用いるものであり、前記複数種類の制御コードはいずれも前記所定の固定長よりも短いビット数を有し、

前記シリアル伝送路上で受信されたシリアル信号を、前記制御コードのビット  
25 数で制御コードを処理するためのクロック信号に同期された、前記制御コードのビット数のパラレル信号に変換する第 1 の同期回路と、

前記制御コードを処理するためのクロック信号に同期して、前記第 1 の同期回路から出力された前記パラレル信号中に前記複数の制御コードのいずれかが含まれるか否かを判定し、判定結果にしたがって前記伝送装置を制御する制御回路と、

前記第 1 の同期回路から出力された前記パラレル信号により表わされるキャラクタの複数個を、前記固定長のビット数のパラレル信号の 1 キャラクタにパックするパック回路とを含む、伝送装置。

5 1 4. さらに、送信されるべきデータを前記符号化方式にしたがって前記固定長のビット数のパラレル信号により表わされるキャラクタに符号化する符号化回路と、

前記符号化回路から出力される各キャラクタを、前記制御コードのビット数のパラレル信号により表わされる複数個のキャラクタに分割する分割回路とを含み、

10 前記制御回路は、前記判定結果にしたがって相手側に送信すべき制御コードを出力し、

前記伝送装置はさらに、前記制御回路から出力される制御コードと、前記分割回路からの出力とのいずれかを選択して前記伝送路上に送出する送信回路を含む、請求項 1 3 に記載の伝送装置。

15 1 5. 前記複数種類の制御コードのビット数は、前記所定の固定長のビット数の整数分の一である、請求項 1 3 に記載の伝送方法。

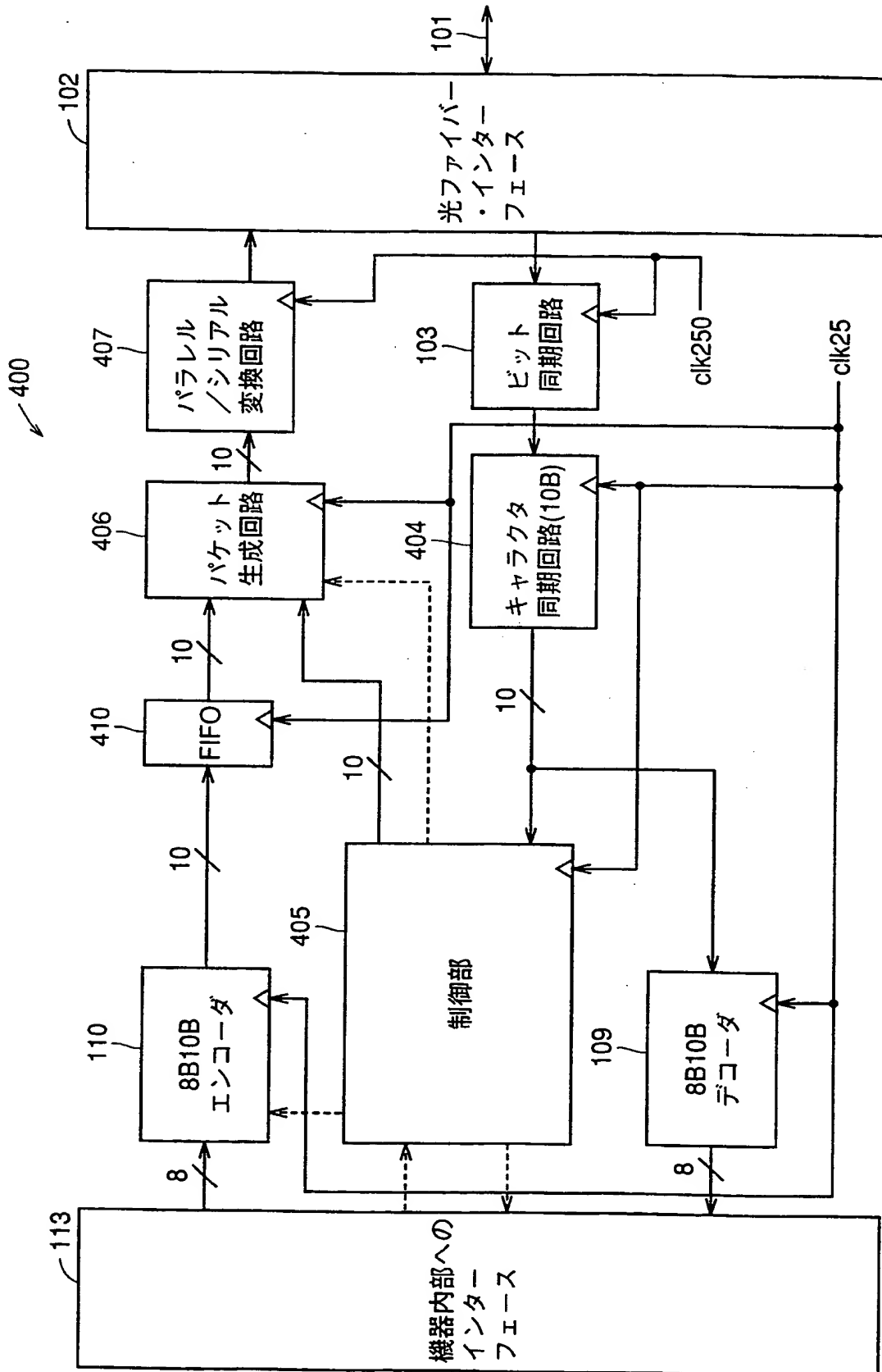
1 6. 前記所定の固定長のビット数は偶数であり、

前記複数種類の制御コードのビット数は、前記所定の固定長のビット数の偶数分の一である、請求項 1 5 に記載の伝送方法。

1 7. 前記所定の固定長のビット数は 1 0 であり、

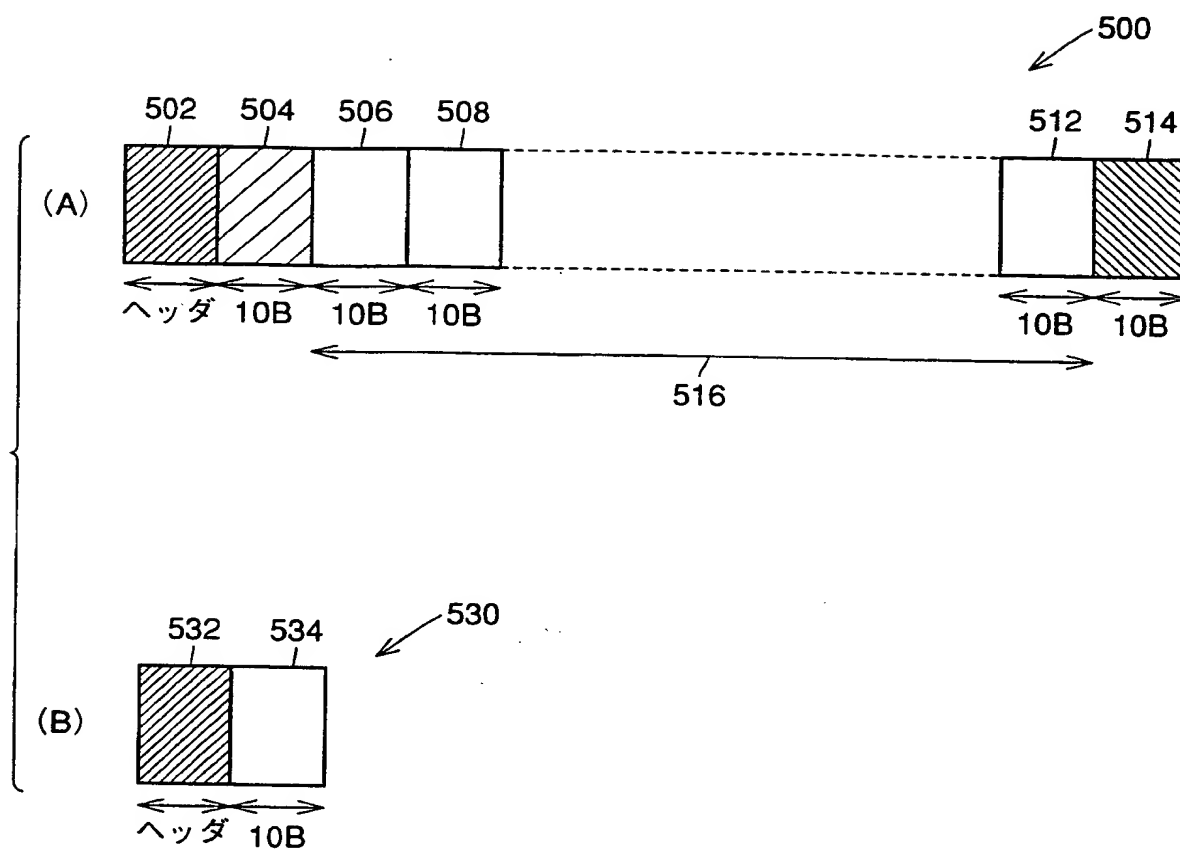
20 前記複数種類の制御コードのビット数は 5 である、請求項 1 6 に記載の伝送方法。

FIG.1



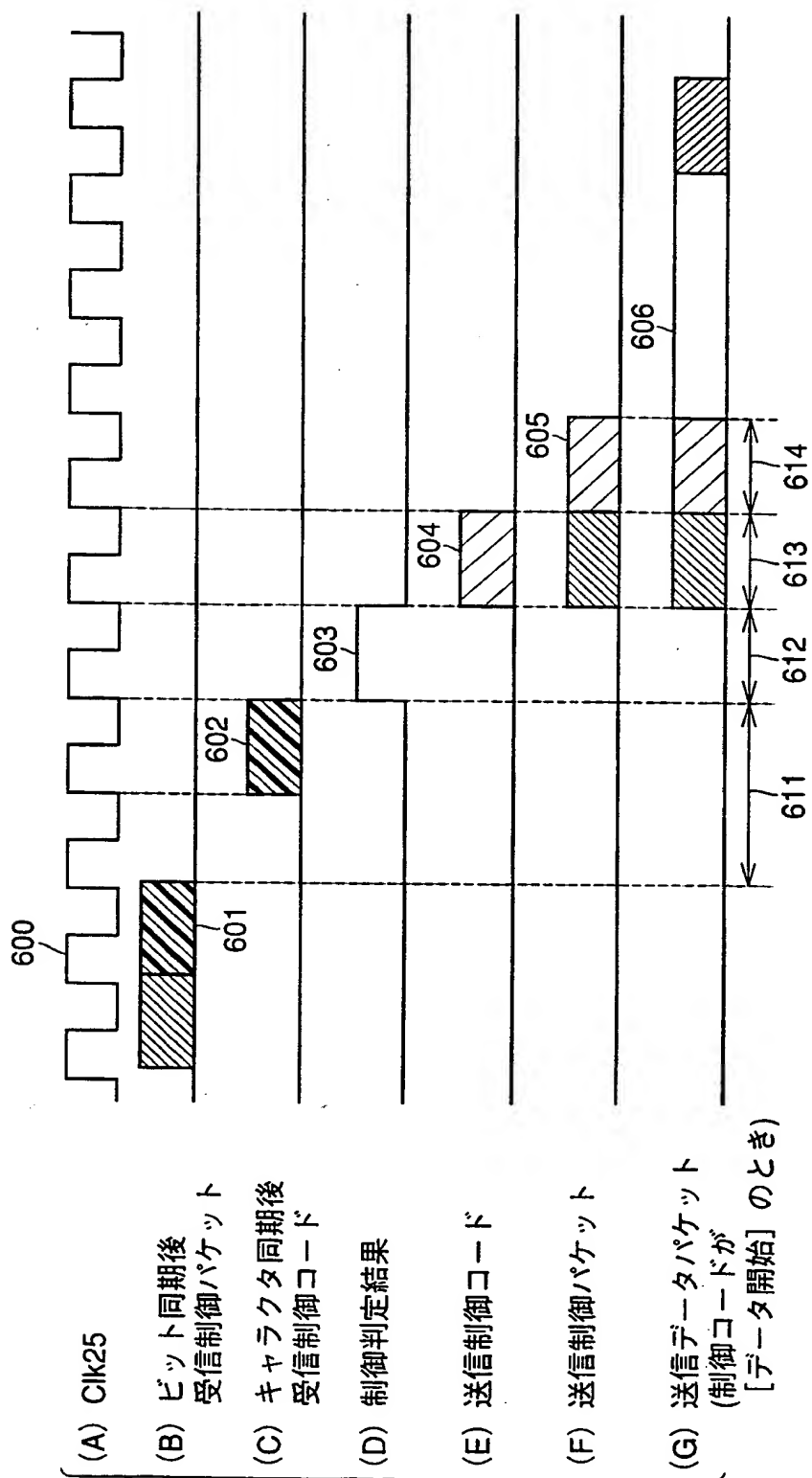
**THIS PAGE BLANK (USPTO)**

FIG.2



**THIS PAGE BLANK (USPTO)**

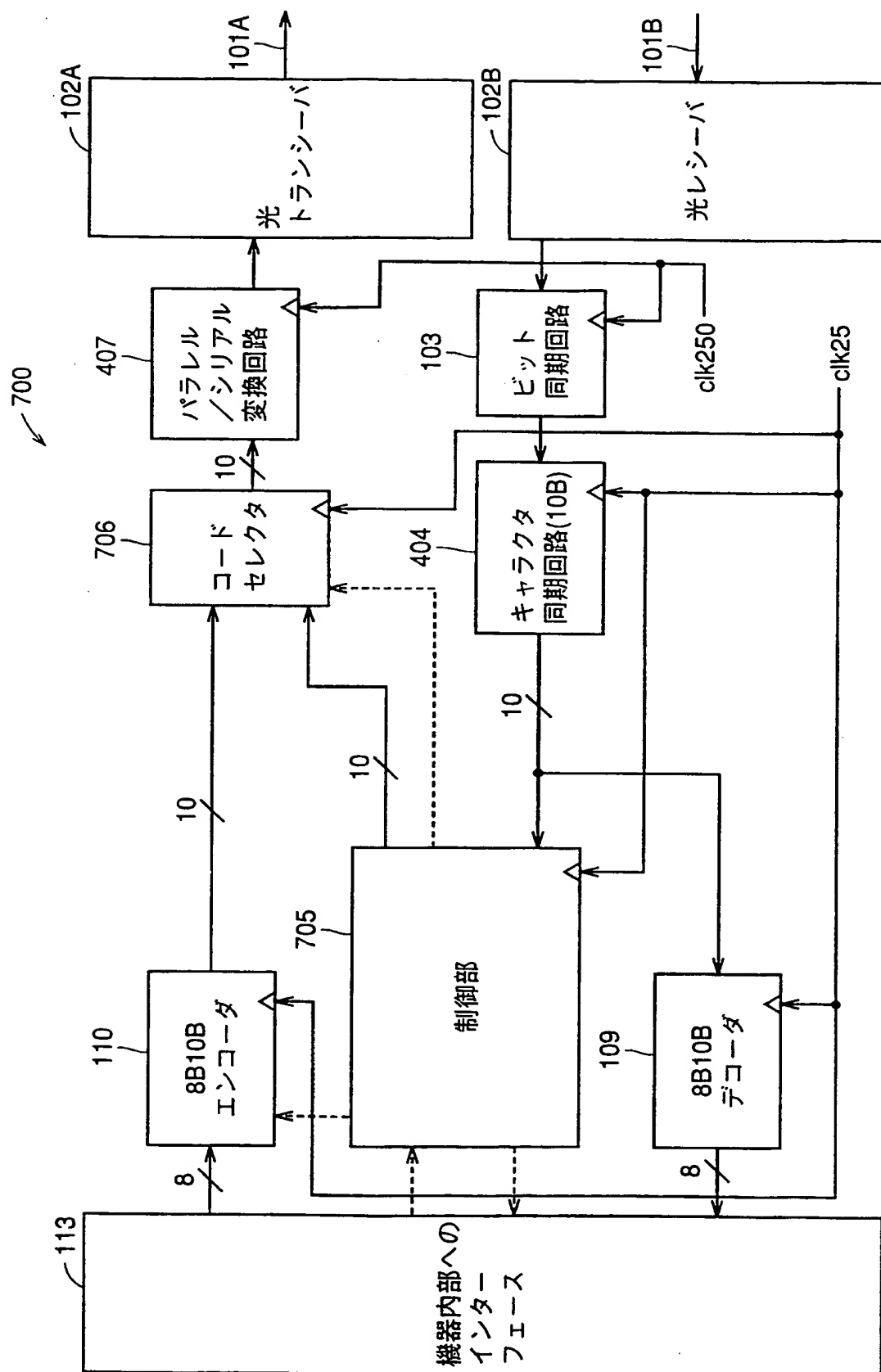
FIG.3



**THIS PAGE BLANK (USPTO)**

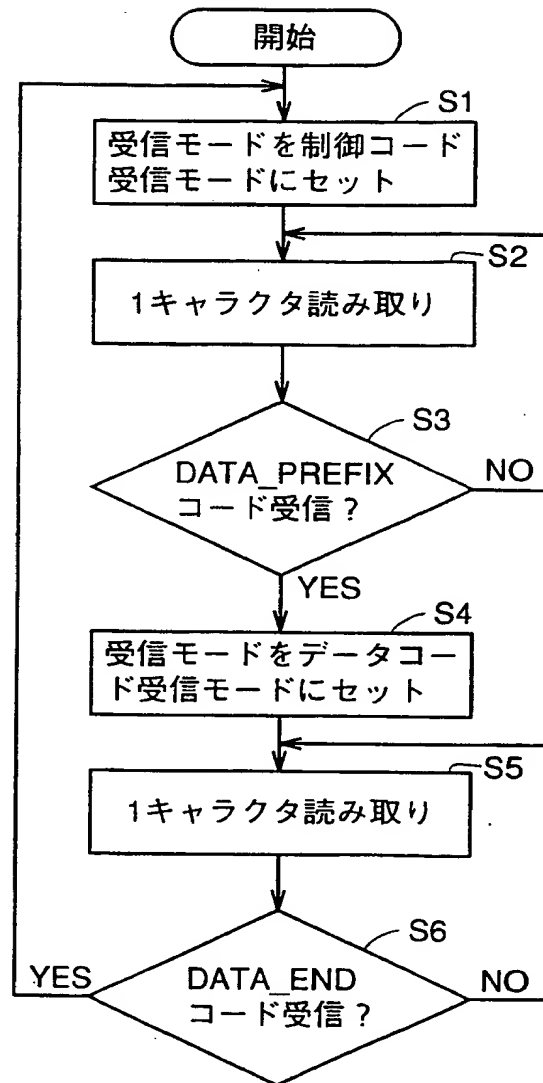


FIG. 4



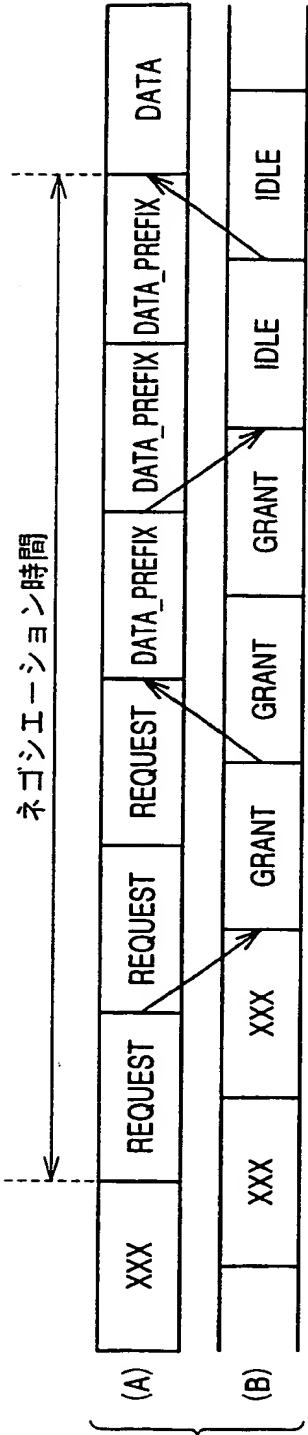
**THIS PAGE BLANK (USPTO)**

FIG.5



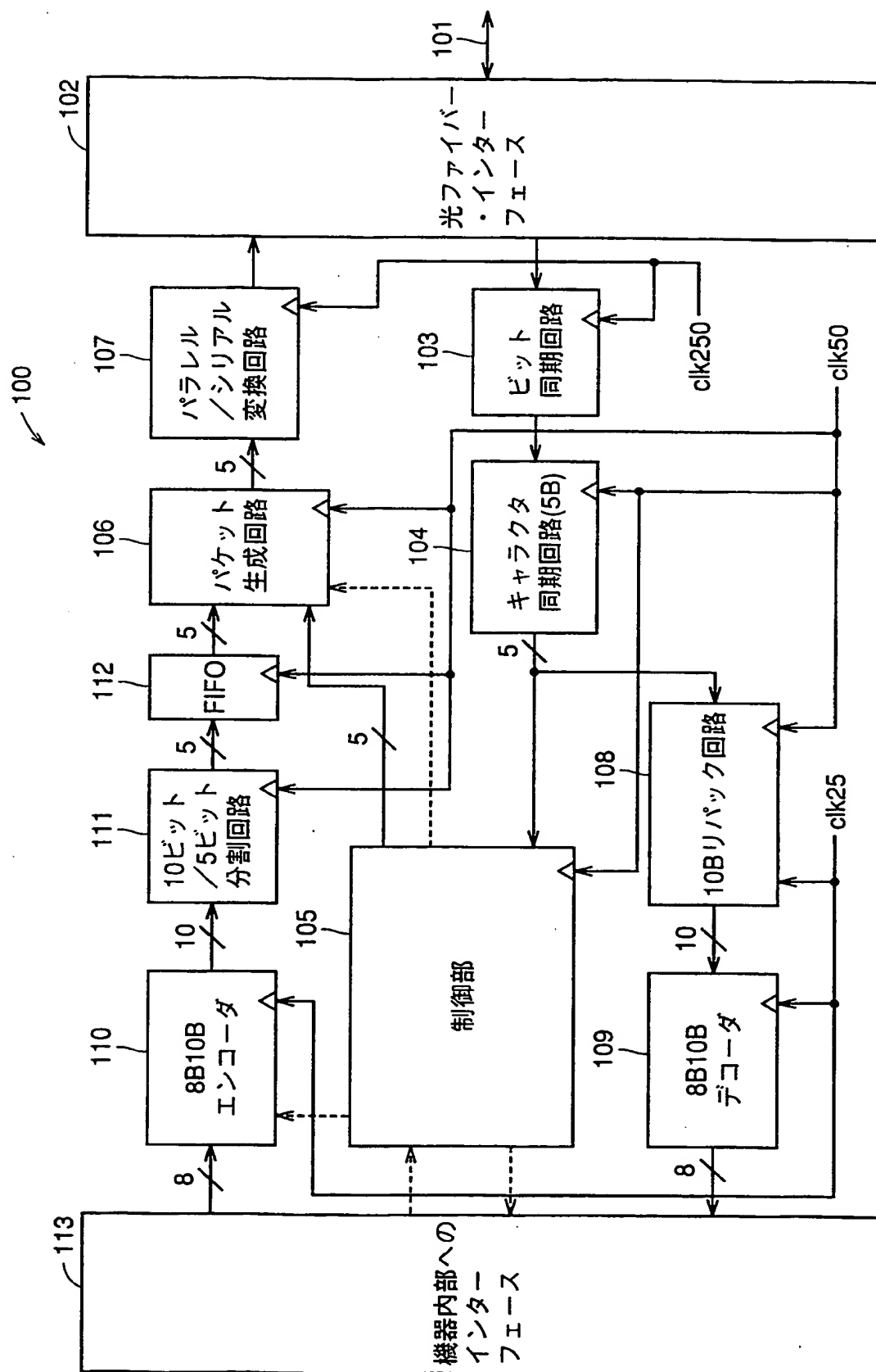
**THIS PAGE BLANK (USPTO)**

FIG.6



**THIS PAGE BLANK (USPTO)**

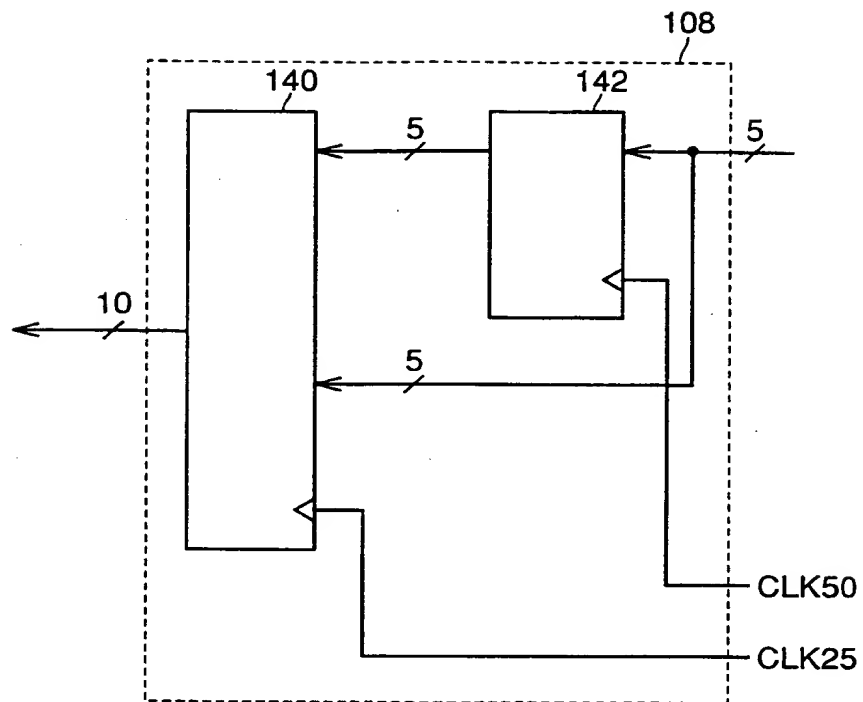
FIG. 7



**THIS PAGE BLANK (USPTO)**



FIG. 8

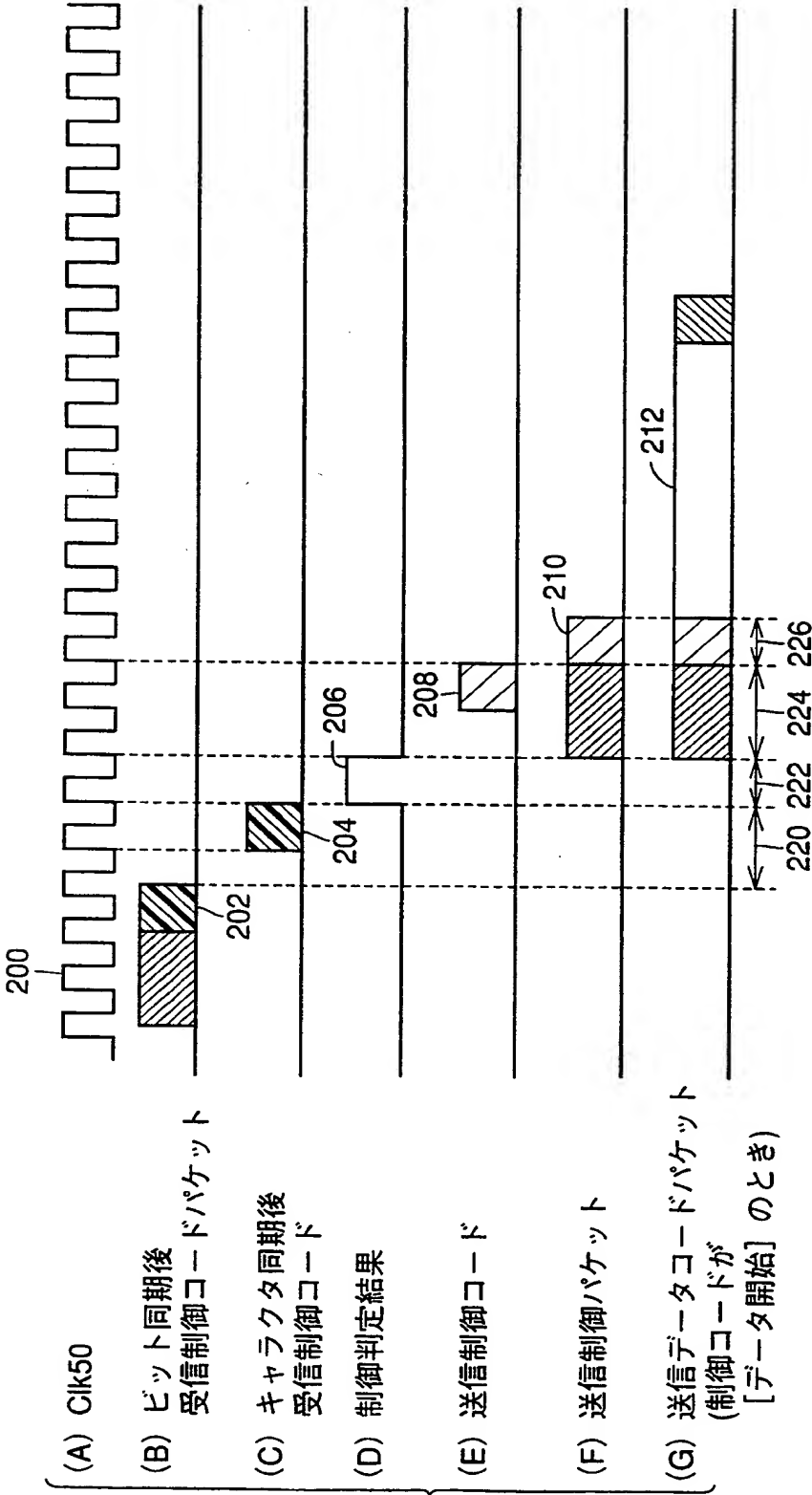


**THIS PAGE BLANK (USPTO)**



**THIS PAGE BLANK (USPTO)**

FIG.10



**THIS PAGE BLANK (USPTO)**

FIG.11

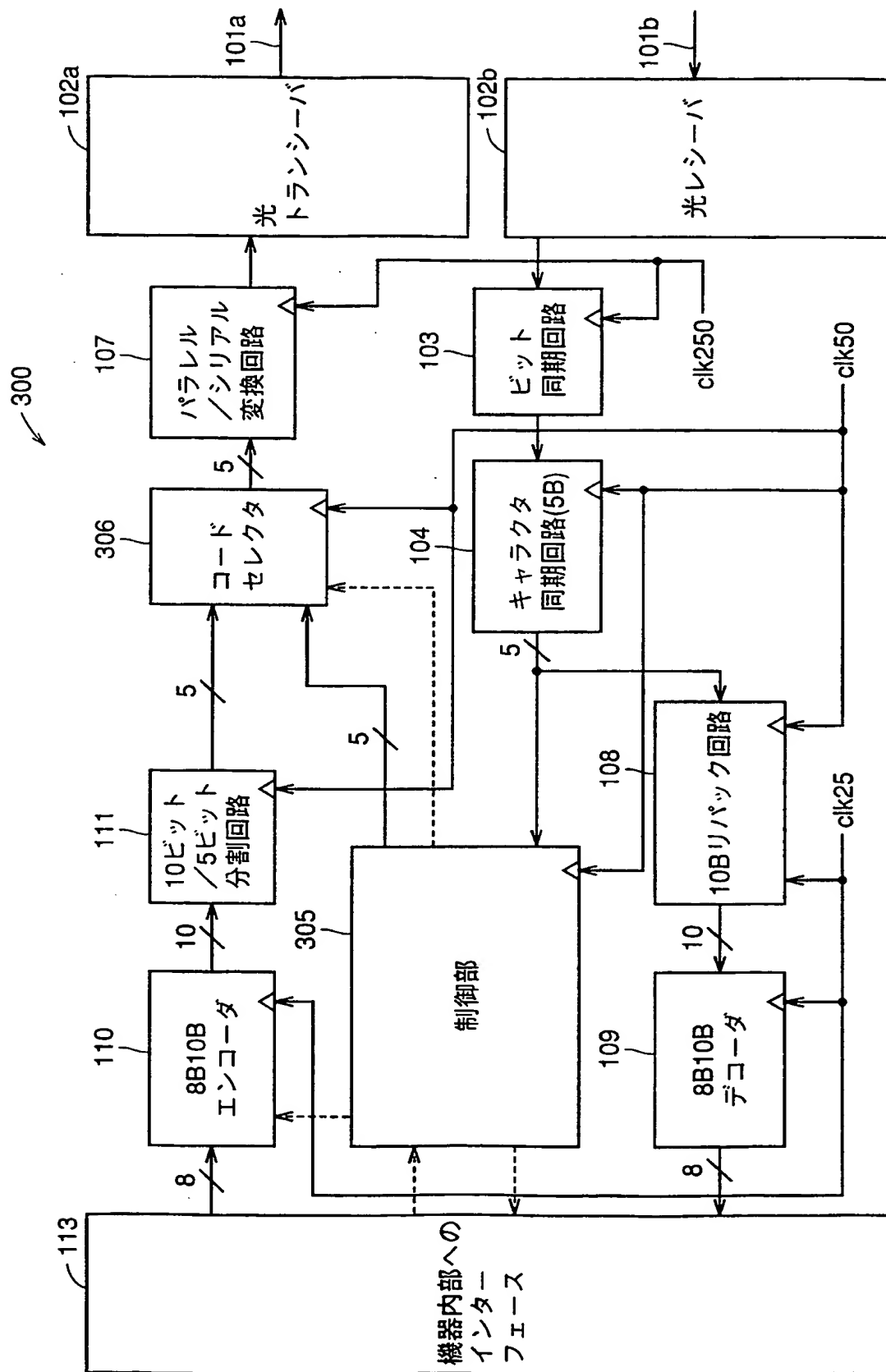
○制御コードパケットを受け取った時のピンポン反応遅延時間(単位：ビット)

	従来	本発明	備考
ビット同期	1ビット未満	1ビット未満	内部クロックとのずれ
キャラクタ同期(A)	0～9ビット +10ビット(220)	0～4ビット +5ビット(611)	内部クロックとのずれ +制御コード長
制御コード判別(制御部)(B)	10ビット(222)	5ビット(612)	(遅い)内部クロックの1クロック分
ヘッダ生成(パケット生成)	10ビット(224)	10ビット(613)	ヘッダ長
制御コード付加(パケット生成)(A)	10ビット(226)	5ビット(614)	制御コード長
合計遅延時間	35+(0～10)ビット	35+(0～5)ビット	

**THIS PAGE BLANK (USPTO)**

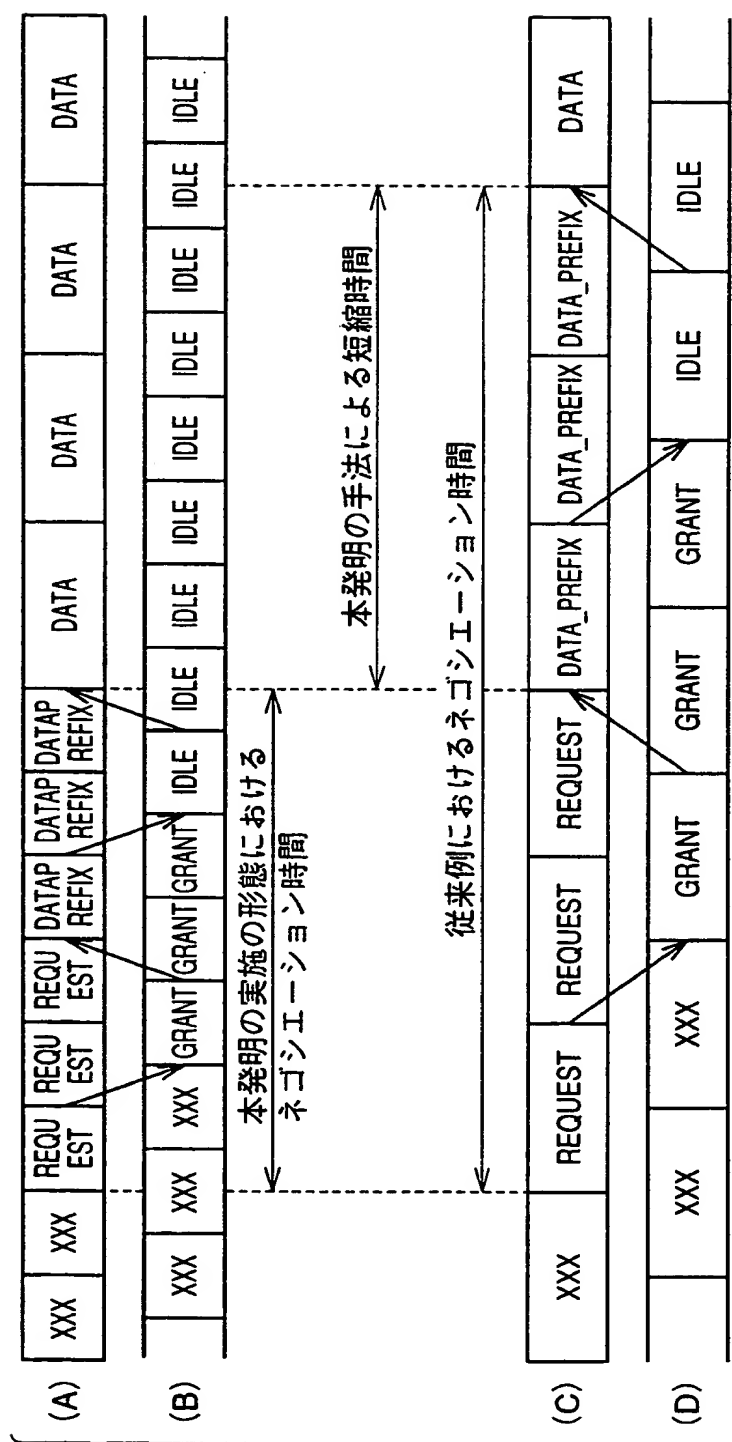


FIG. 12



**THIS PAGE BLANK (USPTO)**

**FIG. 13**



**THIS PAGE BLANK (USPTO)**

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/00167

A. CLASSIFICATION OF SUBJECT MATTER  
Int. Cl.<sup>7</sup> H04L7/04

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int. Cl.<sup>7</sup> H04L7/00-7/10 H04J3/00-3/26 H04L5/00-5/26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1956-1999  
Kokai Jitsuyo Shinan Koho 1971-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P A	EP, 923035, A2 (NEC CORPORATION), 16 June, 1999 (16.06.99), page 2, lines 41-57; page 3, lines 23-36; page 5, line 38 to page 6, line 19; page 7, lines 10-42; Figs. 1, 5, 7, 9 & JP, 11-177439, A	1-17
A	EP, 206409, A1 (N. V. Philips'Gloeilampenfabriken), 30 December, 1986 (30.12.86), page 4, line 29 to page 5, line 29; Fig. 1 & JP, 61-290829, A	1-17
A	JP, 9-36823, A (NEC Corporation), 07 February, 1997 (07.02.97), page 2, right column, lines 1-36; page 3, left column, lines 5-34; page 4, left column, line 1 to right column, line 24; page 5, left column, line 34 to right column, line 1; Figs. 1, 3 (Family: none)	1-17
A	JP, 5-56024, A (NEC Eng. Ltd.), 05 March, 1993 (05.03.93), page 2, right column, line 20 to page 3, right column,	1-17

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
13 March, 2000 (13.03.00)

Date of mailing of the international search report  
28 March, 2000 (28.03.00)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/00167

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	line 15; Fig. 1 (Family: none)	
A	JP, 4-2234, A (Fujitsu Limited), 07 January, 1992 (07.01.92), page 2, lower left column, line 6 to page 3, lower right column, line 2; Figs. 5-7 (Family: none)	1-17
A	JP, 4-826, A (Hitachi Cable, Ltd.), 06 January, 1992 (06.01.92), page 2, upper right column, line 6 to page 3, upper left column, line 4; Figs. 2-4 (Family: none)	1-17
A	JP, 1-218247, A (NEC Corporation), 31 August, 1989 (31.08.89), page 1, lower right column, line 18 to page 2, upper right column, line 5; Fig. 2 (Family: none)	1-17
A	JP, 63-109612, A (Sumitomo Electric Industries, Ltd.), 14 May, 1988 (14.05.88), page 1, lower right column, line 11 to page 2, lower right column, line 3; Fig. 2 (Family: none)	1-17

## 国際調査報告

国際出願番号 PCT/JPO0/00167

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H04L7/04

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H04L7/00-7/10 H04J3/00-3/26 H04L5/00-5/26

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1956-1999年  
日本国公開実用新案公報 1971-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P A	EP, 923035, A2 (NEC CORPORATION), 16. 6月. 1999 (16. 06. 99), 第2頁第41行-第 57行, 第3頁第23行-第36行, 第5頁第38行-第6頁第1 9行, 第7頁第10行-第42行, 第1図, 第5図, 第7図, 第9 図& JP, 11-177439, A	1-17
A	EP, 206409, A1 (N. V. Philips' Gloei lampenfabriken) 30. 12月. 1986 (30. 12. 86), 第4頁第29行-第5頁第29行, 第1図& JP, 61-290829, A	1-17

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

13. 03. 00

国際調査報告の発送日

28.03.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

河 口 雅 英

5K

8421

電話番号 03-3581-1101 内線 3554

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 9-36823, A (日本電気株式会社) 7. 2月. 1997 (07. 02. 97), 第2頁右欄第1行-第36行, 第3頁左欄第5行-第34行, 第4頁左欄第1行-右欄第24行, 第5頁左欄第34行-右欄第1行, 第1図, 第3図 (ファミリーなし)	1-17
A	J P, 5-56024, A (日本電気エンジニアリング株式会社) 5. 3月. 1993 (05. 03. 93), 第2頁右欄第20行-第3頁右欄第15行, 第1図 (ファミリーなし)	1-17
A	J P, 4-2234, A (富士通株式会社) 7. 1月. 1992 (07. 01. 92), 第2頁左下欄第6行-第3頁右下欄第2行, 第5-7図 (ファミリーなし)	1-17
A	J P, 4-826, A (日立電線株式会社) 6. 1月. 1992 (06. 01. 92), 第2頁右上欄第6行-第3頁左上欄第4行, 第2-4図 (ファミリーなし)	1-17
A	J P, 1-218247, A (日本電気株式会社) 31. 8月. 1989 (31. 08. 89), 第1頁右下欄第18行-第2頁右上欄第5行, 第2図 (ファミリーなし)	1-17
A	J P, 63-109612, A (住友電気工業株式会社) 14. 5月. 1988 (14. 05. 88), 第1頁右下欄第11行-第2頁右下欄第3行, 第2図 (ファミリーなし)	1-17